

RX230グループ、RX231グループ ルネサスマイクロコンピュータ

R01DS0261JJ0120
Rev.1.20
2018.09.28

54MHz、32ビットRX MCU、FPU内蔵、88.56 DMIPS、最大512Kバイトフラッシュメモリ、USB2.0フルスピードホスト/ファンクション/OTG、CAN、SDホストインタフェース、シリアルサウンドインタフェースなどの多種多様な通信機能、静電容量式タッチセンサ、12ビットA/D、12ビットD/A、RTC、暗号機能

特長

■ 32ビットRXv2 CPUコア内蔵

- 最大動作周波数 54MHz
88.56 DMIPS の性能 (54MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速 2クロックで実行)
- 高速割り込み
- 5段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- バッテリバックアップ専用電源で動作可能な RTC
- 3種類の低消費電力モード
- ソフトウェアスタンバイ中も動作する LPT (ローパワータイマ)

■ 内蔵コードフラッシュメモリ

- 128K ~ 512K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレース回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 32K ~ 64K バイトの容量

■ データ転送機能

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 8種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- メインクロック発振器周波数: 1 ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振器周波数: 32.768kHz
- PLL 回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDTC 専用オンチップオシレータ内蔵
- USB 専用 PLL 回路: 4MHz、6MHz、8MHz、12MHz
システムクロック 54MHz USB クロック 48MHz の設定可能
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

- 補正機能 (30 秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- 時間キャプチャ機能
- 外部端子のイベント入力力で時間をキャプチャ

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDTC 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

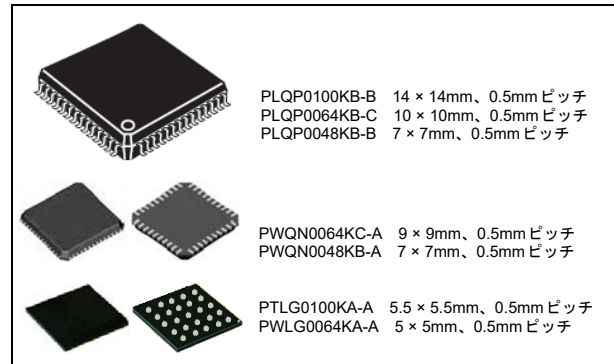
- A/D コンバータ自己診断機能/断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ 外部アドレス空間

- 4つの CS 領域 (4 × 16 M バイト)
- エリアごとに 8/16 ビットバス空間を選択可能

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能



■ 最大 14 本の通信機能を内蔵

- USB2.0 ホスト/ファンクション/OTG (ON-The-Go) (1チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps)、アイソクロナス転送、BC (バッテリーチャージャ) に対応
- ISO11898-1 準拠の CAN (1チャンネル) 最大 1Mbps 転送
- 多彩な機能に対応した SCI (最大 7チャンネル) 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/ビットモジュレーション機能による通信誤差低減
- IrDA インタフェース (1チャンネル、SCI5 と連携)
- I2C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI (1チャンネル) 最大 16Mbps 転送
- シリアルサウンドインタフェース (1チャンネル)
- SD Host I/F (オプション: 1ch) SD メモリ/SDIO 1 or 4 ビット SD バスをサポート

■ 最大 20 本の拡張タイマ機能

- 16 ビット MTU: インプットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6チャンネル)
- 16 ビット TPU: インプットキャプチャ、アウトプットコンペア、位相計数モード (6チャンネル)
- 8 ビット TMR (4チャンネル)
- 16 ビット CMT (4チャンネル)

■ 12 ビット A/D コンバータ内蔵

- 最小 0.83μs 変換が可能
- 24 チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■ 12 ビット D/A コンバータ内蔵

- 2 チャンネル

■ 静電容量式タッチセンサ

- 自己容量方式: 1 端子 1 キー構成で最大 24 キーに対応
- 相互容量方式: 24 本の端子のマトリクス構成により最大 144 キーに対応

■ アナログコンパレータ内蔵

- 2 チャンネル × 2 ユニット

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 暗号機能 (TSIP-Lite)

- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供
- AES (鍵長 128/256bit) 内蔵。ECB、CBC、GCM 他に対応
- 真正乱数発生回路内蔵

■ 温度センサ内蔵

■ 動作周囲温度

- -40 ~ + 85 °C
- -40 ~ + 105 °C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール／機能	説明
CPU	中央演算処理装置	- 最大動作周波数：54MHz 32ビットRX CPU (RX v2) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×10本 - アキュムレータ：72ビット×2本 - 基本命令：75種類 可変長命令形式 - 浮動小数点演算命令：11種類 - DSP機能命令：23種類 - アドレッシングモード：10種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - パレルシフタ：32ビット - メモリプロテクションユニット (MPU)
	FPU	- 単精度浮動小数点 (32ビット) - IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	- 容量：128K/256K/384K/512Kバイト 32MHz以下：ウェイトなし 32MHz～54MHz時はウェイトあり。ROMアクセラレータにヒットした命令はウェイトなしでのアクセスが可能。 - 書き換え方法：シリアルライタープログラミング (調歩同期式シリアル通信/USB通信)、セルフプログラミング
	RAM	- 容量：32K/64Kバイト 54MHz、ノーウェイトアクセス
	E2データフラッシュ	- 容量：8Kバイト - プログラム/イレース回数：1,000,000回 (typ)
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード (ソフトウェア切り替え)
クロック	クロック発生回路	- メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、USB専用PLL周波数シンセサイザ、IWDТ専用オンチップオシレータ - 発振停止検出：あり - クロック周波数精度測定回路 (CAC)：あり - システムクロック (ICLK)、周辺モジュールクロック (PCLK)、外部バスクロック (BCLK)、FlashIFクロック (FCLK) を個別に設定可能 - CPU、バスマスタなどのシステム系はICLK同期：Max 54MHz - MTU2aはPCLKA同期：Max 54MHz - S12ADのADCLKはPCLKD同期：Max 54MHz - MTU2aおよびS12ADE以外の周辺モジュールはPCLKB同期：Max 32MHz - 外部バスに接続するデバイスはBCLK同期：Max 32MHz - フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAb)	- VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 - 電圧検出0は検出電圧を4レベルから選択可能 - 電圧検出1は検出電圧を14レベルから選択可能 - 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/5)

分類	モジュール／機能	説明
低消費電力	消費電力低減機能	- モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード - ソフトウェアスタンバイ中も動作可能なローパワータイマーを搭載
	動作電力低減機能	動作電力制御モード 高速動作モード、中速動作モード、低速動作モード
割り込み	割り込み コントローラ (ICUb)	- 割り込みベクタ数：167 - 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7 端子) - ノンマスカブル割り込み：要因数 7 (NMI 端子、発振停止検出割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、WDT 割り込み、IWDTC 割り込み、VBATT 電源監視割り込み) 16 レベルの割り込み優先順位を設定可能
外部バス拡張		- 外部アドレス空間を4つのエリア (CS0～CS3) に分割して管理 各エリアの領域：16M バイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#) 出力可能 エリアごとに、バス幅として、8ビットバス／16ビットバスを選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバスの選択が可能 - ウェイト制御可能 - ライトバッファ機能
DMA	DMA コントローラ (DMACA)	4チャンネル - 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファ コントローラ (DTCa)	- 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：割り込み要因により起動 - チェーン転送機能あり
I/Oポート	汎用入出力ポート	100ピン/64ピン/48ピン - 入出力：79/43/30 (RX231グループ)、83/47/34 (RX230グループ) - 入力：1/1/1 - プルアップ抵抗：79/43/30 (RX231グループ)、83/47/34 (RX230グループ) - オープンドレイン出力：58/34/26 5Vトレラント：8/5/5
イベントリンクコントローラ (ELC)		61種類のイベント信号を直接モジュールへリンク可能 - タイマ系のモジュールはイベント入力時の動作の選択が可能 - ポートB、ポートEのイベントリンク動作が可能
マルチファンクション コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマ パルスユニット (TPUa)	(16ビット×6チャンネル) × 1ユニット - 最大16本のパルス入出力が可能 - チャンネルごとに7種類または8種類のカウントクロックを選択可能 - インプットキャプチャ/アウトプットコンペア機能をサポート - 最大15相のPWM波形を出力するPWMモード - チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート - A/Dコンバータの変換開始トリガを生成可能 - インプットキャプチャ端子にデジタルフィルタあり - クロック周波数測定機能
	マルチファンク ションタイマパルス ユニット2 (MTU2a)	(16ビット×6チャンネル) × 1ユニット 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 - チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) - インプットキャプチャ機能 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ - パルス出力モード - 相補PWM出力モード - リセット同期PWMモード - 位相計数モード - A/Dコンバータの変換開始トリガを生成可能

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	ポートアウト ブッティネーブル2 (POE2a)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	• (16ビット×2チャンネル) × 2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグ タイマ (WDTA)	• 14ビット×1チャンネル • 6種類のカウンタクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグ タイマ (IWDTa)	• 14ビット×1チャンネル • カウンタクロック: IWDT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイム クロック (RTCe)	• クロックソース: サブクロックにて動作 • 時計/カレンダー機能 • 割り込み: アラーム割り込み、周期割り込み、桁上げ割り込み • 3値タイムキャプチャ機能
	ローパワータイマ (LPT)	• 16ビット×1チャンネル • クロックソース: サブクロック、IWDT専用低速オンチップオシレータ 2分周、4分周、8分周、16分周、32分周
	8ビットタイマ (TMR)	• (8ビット×2チャンネル) × 2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能
通信機能	シリアルコミュニ ケーションインタ フェース (SCIg、SCIh)	• 7チャンネル (チャンネル0、1、5、6、8、9: SCIg、チャンネル12: SCIh) • SCIg シリアル通信方式: 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6、SCI12) スタートビット検出: レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート ELCによるイベントリンク機能をサポート (チャンネル5のみ) • SCIh (SCIgに以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルを サポート LINフォーマットをサポート
	IrDAインタフェース (IRDA)	• 1チャンネル (SCI5を使用) • IrDA規格バージョン1.0に準拠した波形のエンコード/デコードをサポート
	I ² Cバスインタ フェース (RIICa)	• 1チャンネル • 通信フォーマット: I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブを選択可能 • ファストモード対応
	シリアル ペリフェラル インタフェース (RSPiA)	• 1チャンネル • 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル 通信が可能 • マスタ/スレーブモードを選択可能 • データフォーマット • LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) • 送信/受信バッファ構成はダブルバッファ

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
通信機能	USB2.0ホスト/ ファンクション モジュール (USBd)	• USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵 • ホスト/ファンクションモジュール: 1ポート • USBバージョン2.0準拠 • 転送スピード: フルスピード (12Mbps)、ロースピード (1.5Mbps) • OTG (ON-The-Go) に対応 • アイソクロナス転送に対応 • BC1.2 (Battery Charging Specification Revision 1.2) に対応 • USB用内部電源を内蔵 (VCC = 4.0 ~ 5.5V時、外部からVCC_USBへの電源供給が不要)
	CANモジュール (RSCAN)	• 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • 16メッセージボックス
	シリアルサウンド インタフェース (SSI)	• 1チャンネル • 二重通信可能 • 多様なシリアルオーディオフォーマットをサポート • マスタ/スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • 8/16/18/20/22/24/32ビットデータフォーマットをサポート • 送受信8段FIFO内蔵 • SSIWS信号を停止せず動作するWSコンティニューモードをサポート
	SDホスト インタフェース (SDHla)	• 1チャンネル • 転送スピード: デフォルトスピードモード (8MB/s) • SDメモリ/IOカードインタフェース (1ビット/4ビットSDバス) • MMC、eMMC Backward-compatible 対応 • SD Specifications Part 1: Physical Layer Specification Ver.3.01 準拠 (DDR未対応) Part E1: SDIO Specification Ver. 3.00 • エラーチェック機能: CRC7 (コマンド)、CRC16 (データ) • 割り込み要因: カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み • DMA転送要因: SD_BUFライト、SD_BUFリード • カード検出機能、ライトプロテクトをサポート
暗号機能	Trusted Secure IP (TSIP-Lite)	• アクセスマネジメント回路搭載 • 暗号エンジン AES 鍵長: 128bit/256bit 暗号利用モード: GCM、ECB、CBC、CMAC、XTS、CTR、GCTR • ハッシュ機能 • 真正乱数生成回路 • 鍵の不正コピー防止
12ビットA/Dコンバータ (S12ADE)		• 12ビット (1ユニット×24チャンネル) • 分解能: 12ビット • 最小変換時間: 1チャンネル当たり0.83μs (ADCLK = 54MHz動作時) • 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) • サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 • 自己診断機能 • ダブルトリガモード (A/D変換データ二重化機能) • アナログ入力断線検出機能 • A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU、TPU) のトリガ、外部トリガ、ELC • ELCによるイベントリンク機能をサポート
温度センサ (TEMPSA)		• 1チャンネル • 温度を電圧に変換し12ビットA/Dコンバータでデジタル化
12ビットD/Aコンバータ (R12DAA)		• 2チャンネル • 分解能: 12ビット • 出力電圧: 0.4V ~ AVCC0-0.5V
CRC演算器 (CRC)		• 8ビット単位の任意のデータ長に対してCRCコードを生成 • 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ • LSBファースト/MSBファースト通信用CRCコード生成の選択が可能

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
コンパレータ B (CMPBa)		2チャンネル×2ユニット - リファレンス電圧とアナログ入力電圧の比較機能 - ウィンドウコンパレータ動作/基本コンパレータ動作の選択
静電容量式タッチセンサ (CTS)		検出端子 24チャンネル
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 1.8~2.4V : 8MHz、VCC = 2.4~2.7V : 16MHz、VCC = 2.7~5.5V : 54MHz
動作周囲温度		Dバージョン : -40~+85°C、Gバージョン : -40~+105°C
パッケージ		100ピンTFLGA (PTLG0100KA-A) 5.5×5.5mm、0.5mmピッチ 100ピンLFQFP (PLQP0100KB-B) 14×14mm、0.5mmピッチ 64ピンWFLGA (PWLG0064KA-A) 5×5mm、0.5mmピッチ 64ピンHWQFN (PWQN0064KC-A) 9×9mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10×10mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KB-A) 7×7mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7×7mm、0.5mmピッチ
デバッグインタフェース		FINEインタフェース

表 1.2 パッケージ別機能比較一覧 (1/2)

モジュール/機能		RX230グループ			RX231グループ		
		100ピン	64ピン	48ピン	100ピン	64ピン	48ピン
外部バス	外部バス	16ビット	サポートなし		16ビット	サポートなし	
割り込み	外部割り込み	NMI、IRQ0~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7	NMI、IRQ0~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7
DMA	DMAコントローラ	4チャンネル (DMAC0~DMAC3)			4チャンネル (DMAC0~DMAC3)		
	データ転送ファクトリー	あり			あり		
タイマ	16ビットタイマパルスユニット	6チャンネル (TPU0~TPU5)			6チャンネル (TPU0~TPU5)		
	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0~MTU5)			6チャンネル (MTU0~MTU5)		
	ポートアウトプットイネーブル2	POE0#~POE3#、POE8#			POE0#~POE3#、POE8#		
	8ビットタイマ	2チャンネル×2ユニット			2チャンネル×2ユニット		
	コンパッチタイマ	2チャンネル×2ユニット			2チャンネル×2ユニット		
	ローパワータイマ	1チャンネル			1チャンネル		
	リアルタイムクロック	あり		なし	あり		なし
	ウォッチドッグタイマ	あり			あり		
	独立ウォッチドッグタイマ	あり			あり		

表 1.2 パッケージ別機能比較一覧 (2/2)

モジュール/機能		RX230グループ			RX231グループ		
		100ピン	64ピン	48ピン	100ピン	64ピン	48ピン
通信機能	シリアルコミュニケーションインタフェース (SCIg)	6チャンネル (SCI0、1、5、6、8、9)	5チャンネル (SCI1、5、6、8、9)	4チャンネル (SCI1、5、6、8)	6チャンネル (SCI0、1、5、6、8、9)	5チャンネル (SCI1、5、6、8、9)	4チャンネル (SCI1、5、6、8)
	IrDAインタフェース	1チャンネル (SCI5)			1チャンネル (SCI5)		
	シリアルコミュニケーションインタフェース (SCIh)	1チャンネル (SCI12)			1チャンネル (SCI12)		
	I ² Cバスインタフェース	1チャンネル			1チャンネル		
	CANモジュール	なし			1チャンネル (注1)		
	シリアルペリフェラルインタフェース	1チャンネル			1チャンネル		
	USB2.0ホスト/ファンクションモジュール	なし			1チャンネル		
	シリアルサウンドインタフェース	1チャンネル			1チャンネル		
	SDホストインタフェース	なし			1チャンネル (注1)		なし
静電容量式タッチセンサ		24チャンネル	10チャンネル	6チャンネル	24チャンネル	10チャンネル	6チャンネル
12ビットA/Dコンバータ (内高精度チャンネル)		24チャンネル (8チャンネル)	12チャンネル (6チャンネル)	8チャンネル (4チャンネル)	24チャンネル (8チャンネル)	12チャンネル (6チャンネル)	8チャンネル (4チャンネル)
温度センサ		あり			あり		
D/Aコンバータ		2チャンネル		なし	2チャンネル		なし
CRC演算器		あり			あり		
イベントリンクコントローラ		あり			あり		
コンパレータB		4チャンネル			4チャンネル		
パッケージ		100ピン TFLGA 100ピン LFQFP	64ピン WFLGA 64ピン HWQFN 64ピン LFQFP	48ピン HWQFN 48ピン LFQFP	100ピン TFLGA 100ピン LFQFP	64ピン WFLGA 64ピン HWQFN 64ピン LFQFP	48ピン HWQFN 48ピン LFQFP

注1. チップバージョンBのみ

1.2 製品一覧

表 1.3、表 1.4 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 Dバージョン (T_a = -40 ~ 85°C) (1/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作 周波数	暗号	SDHI	CAN	動作周囲 温度	
RX231	R5F52318ADLA	R5F52318ADLA#20	PTLG0100KA-A	512 Kバイト	64 Kバイト	8Kバイト	54MHz	なし	なし	あり	-40～ +85℃	
	R5F52318BDLA	R5F52318BDLA#20						あり	あり	あり		
	R5F52318ADFP	R5F52318ADFP#30	PLQP0100KB-B					なし	なし	あり		
	R5F52318BDFP	R5F52318BDFP#30						あり	あり	あり		
	R5F52318ADND	R5F52318ADND#U0	PWQN0064KC-A					なし	なし	あり		
	R5F52318BDND	R5F52318BDND#U0						あり	あり	あり		
	R5F52318ADFM	R5F52318ADFM#30						PLQP0064KB-C	なし	なし		あり
	R5F52318BDFM	R5F52318BDFM#30						あり	あり	あり		
	R5F52318ADNE	R5F52318ADNE#U0						PWQN0048KB-A	なし	なし		あり
	R5F52318BDNE	R5F52318BDNE#U0						あり	なし	あり		
	R5F52318ADFL	R5F52318ADFL#30						PLQP0048KB-B	なし	なし		あり
	R5F52318BDFL	R5F52318BDFL#30						あり	なし	あり		
	R5F52317ADLA	R5F52317ADLA#20		PTLG0100KA-A				384 Kバイト		なし		なし
	R5F52317BDLA	R5F52317BDLA#20		あり						あり		あり
	R5F52317ADFP	R5F52317ADFP#30		PLQP0100KB-B						なし		なし
	R5F52317BDFP	R5F52317BDFP#30		あり						あり		あり
	R5F52317ADND	R5F52317ADND#U0		PWQN0064KC-A						なし		なし
	R5F52317BDND	R5F52317BDND#U0		あり						あり		あり
	R5F52317ADFM	R5F52317ADFM#30		PLQP0064KB-C						なし		なし
	R5F52317BDFM	R5F52317BDFM#30		あり						あり		あり
	R5F52317ADNE	R5F52317ADNE#U0		PWQN0048KB-A						なし		なし
	R5F52317BDNE	R5F52317BDNE#U0		あり						なし		あり
	R5F52317ADFL	R5F52317ADFL#30		PLQP0048KB-B						なし		なし
	R5F52317BDFL	R5F52317BDFL#30		あり						なし		あり
	R5F52316ADLA	R5F52316ADLA#20		PTLG0100KA-A	256 Kバイト			32 Kバイト		なし		なし
	R5F52316CDLA	R5F52316CDLA#20		なし						なし		なし
	R5F52316ADFP	R5F52316ADFP#30		PLQP0100KB-B						なし		なし
	R5F52316CDFP	R5F52316CDFP#30		なし						なし		なし
	R5F52316CDLF	R5F52316CDLF#U0		PWLG0064KA-A						なし		なし
	R5F52316ADND	R5F52316ADND#U0	PWQN0064KC-A	なし						なし		あり
	R5F52316CDND	R5F52316CDND#U0		なし						なし		なし
	R5F52316ADFM	R5F52316ADFM#30		PLQP0064KB-C						なし		なし
	R5F52316CDFM	R5F52316CDFM#30		なし						なし		なし
	R5F52316ADNE	R5F52316ADNE#U0		PWQN0048KB-A						なし		なし
	R5F52316CDNE	R5F52316CDNE#U0		なし						なし		なし
	R5F52316ADFL	R5F52316ADFL#30		PLQP0048KB-B						なし		なし
	R5F52316CDFL	R5F52316CDFL#30		なし					なし	なし		

表 1.3 製品一覧表 Dバージョン (T_a = -40 ~ 85°C) (2/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作 周波数	暗号	SDHI	CAN	動作周囲 温度
RX231	R5F52315ADLA	R5F52315ADLA#20	PTLG0100KA-A	128 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	あり	-40～ +85℃
	R5F52315CDLA	R5F52315CDLA#20						なし	なし	なし	
	R5F52315ADFP	R5F52315ADFP#30	PLQP0100KB-B					なし	なし	あり	
	R5F52315CDFP	R5F52315CDFP#30						なし	なし	なし	
	R5F52315CDLF	R5F52315CDLF#20	PWLG0064KA-A					なし	なし	なし	
	R5F52315ADND	R5F52315ADND#U0	PWQN0064KC-A					なし	なし	あり	
	R5F52315CDND	R5F52315CDND#U0						なし	なし	なし	
	R5F52315ADFM	R5F52315ADFM#30	PLQP0064KB-C					なし	なし	あり	
	R5F52315CDFM	R5F52315CDFM#30						なし	なし	なし	
	R5F52315ADNE	R5F52315ADNE#U0	PWQN0048KB-A					なし	なし	あり	
	R5F52315CDNE	R5F52315CDNE#U0						なし	なし	なし	
	R5F52315ADFL	R5F52315ADFL#30	PLQP0048KB-B					なし	なし	あり	
	R5F52315CDFL	R5F52315CDFL#30						なし	なし	なし	
RX230	R5F52306ADLA	R5F52306ADLA#20	PTLG0100KA-A	256 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	なし	-40～ +85℃
	R5F52306ADFP	R5F52306ADFP#30	PLQP0100KB-B					なし	なし	なし	
	R5F52306ADLF	R5F52306ADLF#20	PWLG0064KA-A					なし	なし	なし	
	R5F52306ADND	R5F52306ADND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52306ADFM	R5F52306ADFM#30	PLQP0064KB-C					なし	なし	なし	
	R5F52306ADNE	R5F52306ADNE#U0	PWQN0048KB-A					なし	なし	なし	
	R5F52306ADFL	R5F52306ADFL#30	PLQP0048KB-B					なし	なし	なし	
	R5F52305ADLA	R5F52305ADLA#20	PTLG0100KA-A	128 Kバイト				なし	なし	なし	
	R5F52305ADFP	R5F52305ADFP#30	PLQP0100KB-B					なし	なし	なし	
	R5F52305ADLF	R5F52305ADLF#20	PWLG0064KA-A					なし	なし	なし	
	R5F52305ADND	R5F52305ADND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52305ADFM	R5F52305ADFM#30	PLQP0064KB-C					なし	なし	なし	
	R5F52305ADNE	R5F52305ADNE#U0	PWQN0048KB-A					なし	なし	なし	
	R5F52305ADFL	R5F52305ADFL#30	PLQP0048KB-B					なし	なし	なし	

表 1.4 製品一覧表 Gバージョン (T_a = -40 ~ 105°C) (1/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作 周波数	暗号	SDHI	CAN	動作周囲 温度	
RX231	R5F52318AGFP	R5F52318AGFP#30	PLQP0100KB-B	512 Kバイト	64 Kバイト	8Kバイト	54MHz	なし	なし	あり	-40～ +105℃	
	R5F52318BGFP	R5F52318BGFP#30						あり	あり	あり		
	R5F52318AGND	R5F52318AGND#U0	PWQN0064KC-A					なし	なし	あり		
	R5F52318BGND	R5F52318BGND#U0						あり	あり	あり		
	R5F52318AGFM	R5F52318AGFM#30	PLQP0064KB-C					なし	なし	あり		
	R5F52318BGFM	R5F52318BGFM#30						あり	あり	あり		
	R5F52318AGNE	R5F52318AGNE#U0	PWQN0048KB-A					なし	なし	あり		
	R5F52318BGNE	R5F52318BGNE#U0						あり	なし	あり		
	R5F52318AGFL	R5F52318AGFL#30	PLQP0048KB-B					なし	なし	あり		
	R5F52318BGFL	R5F52318BGFL#30						あり	なし	あり		
	R5F52317AGFP	R5F52317AGFP#30	PLQP0100KB-B	384 Kバイト				32 Kバイト	なし	なし		あり
	R5F52317BGFP	R5F52317BGFP#30							あり	あり		あり
	R5F52317AGND	R5F52317AGND#U0	PWQN0064KC-A						なし	なし		あり
	R5F52317BGND	R5F52317BGND#U0							あり	あり		あり
	R5F52317AGFM	R5F52317AGFM#30	PLQP0064KB-C						なし	なし		あり
	R5F52317BGFM	R5F52317BGFM#30							あり	あり		あり
	R5F52317AGNE	R5F52317AGNE#U0	PWQN0048KB-A						なし	なし		あり
	R5F52317BGNE	R5F52317BGNE#U0							あり	なし		あり
	R5F52317AGFL	R5F52317AGFL#30	PLQP0048KB-B						なし	なし		あり
	R5F52317BGFL	R5F52317BGFL#30							あり	なし		あり
	R5F52316AGFP	R5F52316AGFP#30	PLQP0100KB-B	256 Kバイト	32 Kバイト				なし	なし		あり
	R5F52316CGFP	R5F52316CGFP#30							なし	なし		なし
	R5F52316AGND	R5F52316AGND#U0	PWQN0064KC-A						なし	なし		あり
	R5F52316CGND	R5F52316CGND#U0							なし	なし		なし
	R5F52316AGFM	R5F52316AGFM#30	PLQP0064KB-C						なし	なし		あり
	R5F52316CGFM	R5F52316CGFM#30							なし	なし		なし
	R5F52316AGNE	R5F52316AGNE#U0	PWQN0048KB-A						なし	なし		あり
	R5F52316CGNE	R5F52316CGNE#U0							なし	なし		なし
	R5F52316AGFL	R5F52316AGFL#30	PLQP0048KB-B						なし	なし		あり
	R5F52316CGFL	R5F52316CGFL#30							なし	なし		なし
	R5F52315AGFP	R5F52315AGFP#30	PLQP0100KB-B	128 Kバイト				32 Kバイト	なし	なし		あり
	R5F52315CGFP	R5F52315CGFP#30							なし	なし		なし
	R5F52315AGND	R5F52315AGND#U0	PWQN0064KC-A						なし	なし		あり
	R5F52315CGND	R5F52315CGND#U0							なし	なし		なし
	R5F52315AGFM	R5F52315AGFM#30	PLQP0064KB-C						なし	なし		あり
	R5F52315CGFM	R5F52315CGFM#30							なし	なし		なし
	R5F52315AGNE	R5F52315AGNE#U0	PWQN0048KB-A						なし	なし		あり
	R5F52315CGNE	R5F52315CGNE#U0							なし	なし		なし
	R5F52315AGFL	R5F52315AGFL#30	PLQP0048KB-B						なし	なし		あり
	R5F52315CGFL	R5F52315CGFL#30							なし	なし		なし

表 1.4 製品一覧表 Gバージョン (T_a = -40 ~ 105°C) (2/2)

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作 周波数	暗号	SDHI	CAN	動作周囲 温度
RX230	R5F52306AGFP	R5F52306AGFP#30	PLQP0100KB-B	256 Kバイト	32 Kバイト	8Kバイト	54MHz	なし	なし	なし	-40～ +105℃
	R5F52306AGND	R5F52306AGND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52306AGFM	R5F52306AGFM#30	PLQP0064KB-C					なし	なし	なし	
	R5F52306AGNE	R5F52306AGNE#U0	PWQN0048KB-A					なし	なし	なし	
	R5F52306AGFL	R5F52306AGFL#30	PLQP0048KB-B					なし	なし	なし	
	R5F52305AGFP	R5F52305AGFP#30	PLQP0100KB-B	128 Kバイト				なし	なし	なし	
	R5F52305AGND	R5F52305AGND#U0	PWQN0064KC-A					なし	なし	なし	
	R5F52305AGFM	R5F52305AGFM#30	PLQP0064KB-C					なし	なし	なし	
	R5F52305AGNE	R5F52305AGNE#U0	PWQN0048KB-A					なし	なし	なし	
	R5F52305AGFL	R5F52305AGFL#30	PLQP0048KB-B					なし	なし	なし	

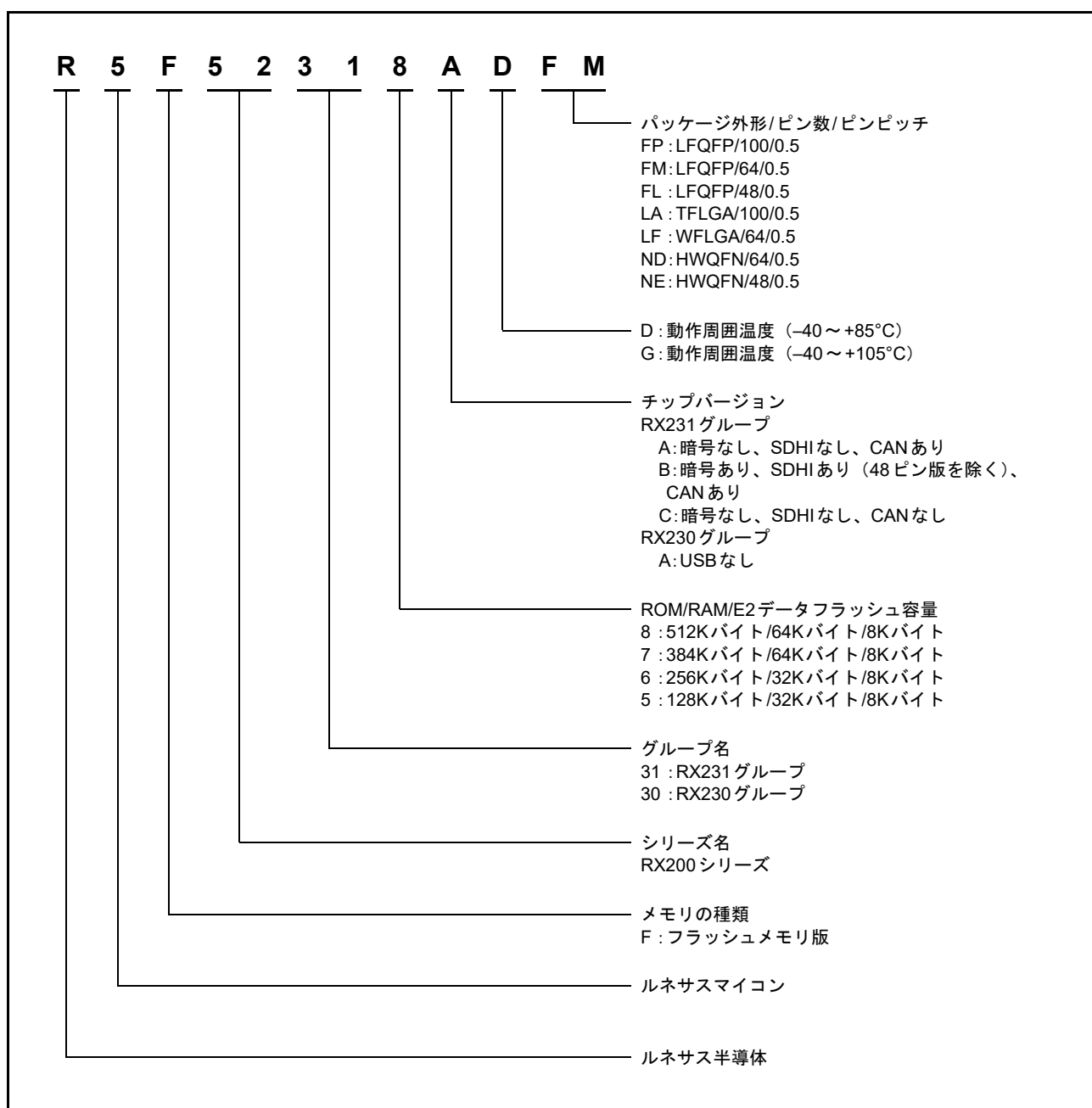


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

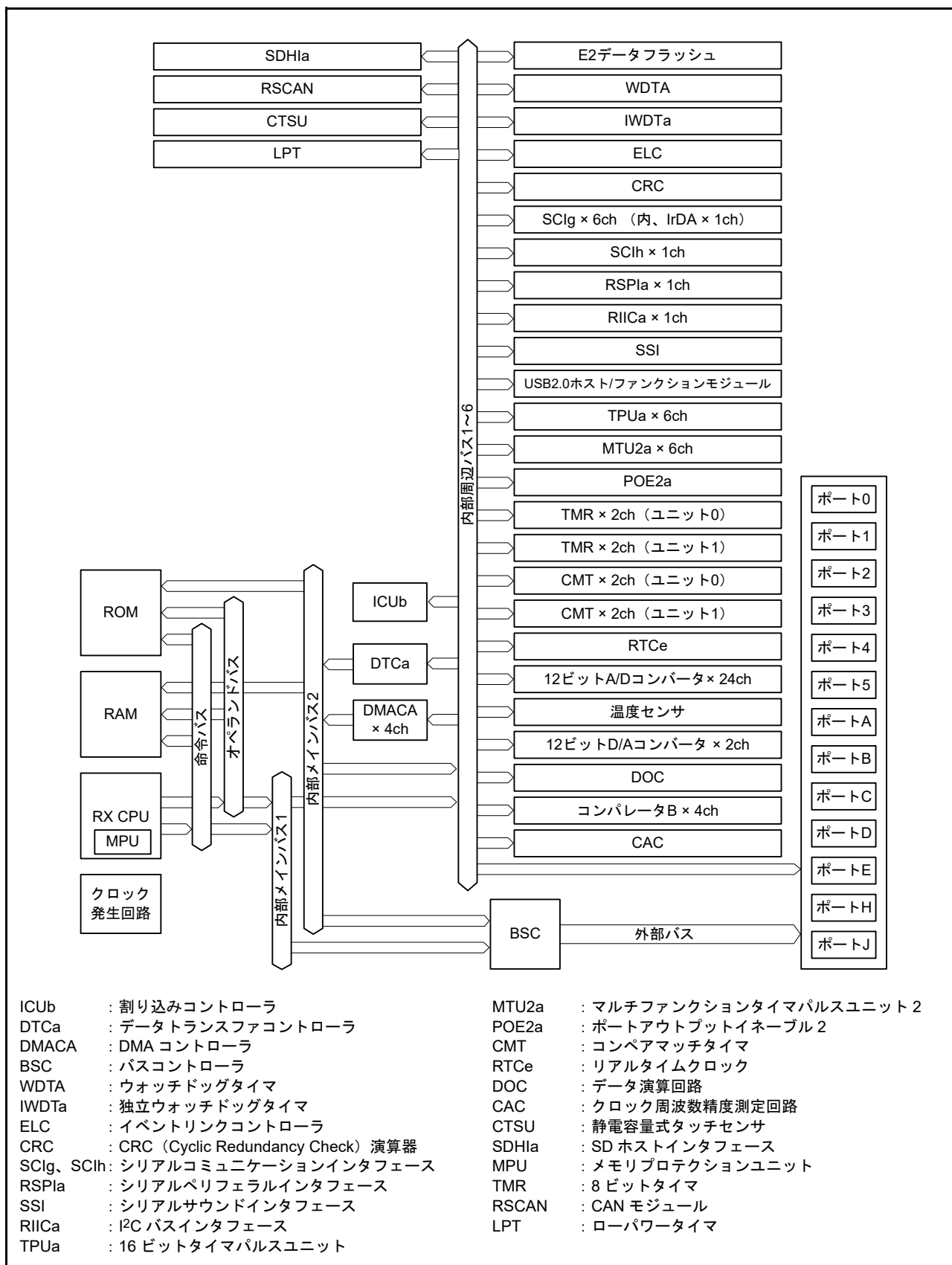


図 1.2 ブロック図

1.4 端子機能

表 1.5 に端子機能一覧を示します。

表 1.5 端子機能一覧 (1/5)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ（4.7μF）を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源（0V）に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード（USBインタフェース）で使用する端子
	UPSEL	入力	ブートモード（USBインタフェース）で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#、WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス（D7～D0、D15～D8）のいずれかが有効であることを示すストロープ信号
	BC0#、BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス（D7～D0、D15～D8）のいずれかが有効であることを示すストロープ信号
	CS0#～CS3#	出力	エリア0～3の選択信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
LVD	CMPA2	入力	電圧検出2用検出対象電圧端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
16ビットタイマパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

表 1.5 端子機能一覧 (2/5)

分類	端子名	入出力	機能
16ビットタイマパルスユニット	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力／外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#～POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCi0～TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース (SClg)	• 調歩同期モード/クロック同期モード		
	SCK0、SCK1、SCK5、 SCK6、SCK8、SCK9	入出力	クロック入出力端子
	RXD0、RXD1、RXD5、 RXD6、RXD8、RXD9	入力	受信データ入力端子
	TXD0、TXD1、TXD5、 TXD6、TXD8、TXD9	出力	送信データ出力端子
	CTS0#、CTS1#、 CTS5#、CTS6#、 CTS8#、CTS9#	入力	送受信開始制御用入力端子
	RTS0#、RTS1#、 RTS5#、RTS6#、 RTS8#、RTS9#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0、SSCL1、 SSCL5、SSCL6、 SSCL8、SSCL9	入出力	I ² Cクロック入出力端子
	SSDA0、SSDA1、 SSDA5、SSDA6、 SSDA8、SSDA9	入出力	I ² Cデータ入出力端子

表 1.5 端子機能一覧 (3/5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 簡易SPIモード		
	SCK0、SCK1、SCK5、 SCK6、SCK8、SCK9	入出力	クロック入出力端子
	SMISO0、SMISO1、 SMISO5、SMISO6、 SMISO8、SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI0、SMOSI1、 SMOSI5、SMOSI6、 SMOSI8、SMOSI9	入出力	マスタ送出データ入出力端子
	SS0#、SS1#、SS5#、 SS6#、SS8#、SS9#	入力	スレーブセレクト入力端子
IrDAインタフェース	IRTXD5	出力	IrDAフォーマットでのデータ出力端子
	IRRXD5	入力	IrDAフォーマットでのデータ入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCI _f 受信データ入力端子
	TXDX12	出力	SCI _f 送信データ出力端子
	SIOX12	入出力	SCI _f 送受信データ入出力端子
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
シリアルサウンド インタフェース	SSISCK0	入出力	SSIシリアルビットクロック端子
	SSIWS0	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_MCLK	入力	オーディオ用のマスタクロック端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子

表 1.5 端子機能一覧 (4/5)

分類	端子名	入出力	機能
SDホストインタフェース	SDHI_CLK	出力	SDクロック出力端子
	SDHI_CMD	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3～SDHI_D0	入出力	SDデータバス端子
	SDHI_CD	入力	SDカード検出端子
	SDHI_WP	入力	SDライトプロテクト信号
USB2.0ホスト/ ファンクション モジュール	VCC_USB	入力	USB用電源端子。VCCに接続、または内部電源安定化用の平滑コンデンサ (0.33 μ F) を介してVSSに接続してください
	VSS_USB	入力	USB用グラウンド端子。VSSに接続してください
	USB0_DP	入出力	USB内蔵トランシーバD+ 入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD- 入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_OVRCURA、 USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
12ビットA/Dコンバータ	AN000～AN007、 AN016～AN031	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータB	CMPB0～CMPB3	入力	コンパレータB用のアナログ端子
	CVREFB0～CVREFB3	入力	コンパレータB用のリファレンス電圧端子
	CMPOB0～CMPOB3	出力	コンパレータB用出力端子
CTSU	TS0～TS9, TS12, TS13, TS15～TS20, TS22, TS23, TS27, TS30, TS33, TS35	出力	静電容量計測端子 (タッチ端子)
	TSCAP	出力	LPF接続用端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググラウンド端子。12ビットA/Dコンバータと12ビットD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グラウンド端子
	VREFH	入力	12ビットD/Aコンバータの基準電源端子
	VREFL	入力	12ビットD/Aコンバータの基準グラウンド端子

表 1.5 端子機能一覧 (5/5)

分類	端子名	入出力	機能
I/Oポート	P03、P05、P07	入出力	3ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子（P35は入力端子）
	P40～P47	入出力	8ビットの入出力端子
	P50～P55	入出力	6ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ3	入出力	1ビットの入出力端子

1.5 ピン配置図

図 1.3 ～図 1.9 にピン配置図を示します。また、表 1.6 ～表 1.10 に機能別端子一覧を示します。

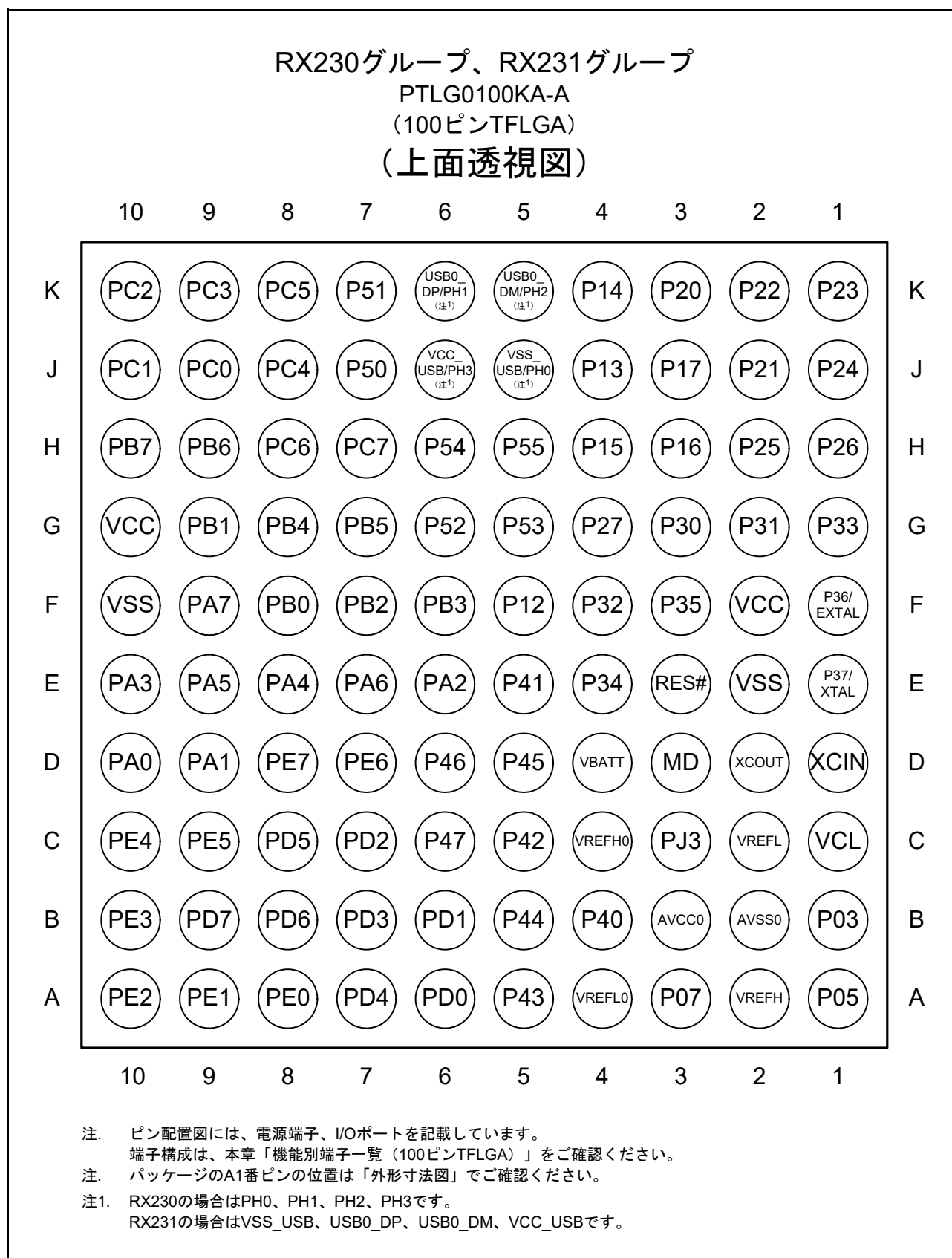


図 1.3 100ピンTFLGAピン配置図（上面透視図）

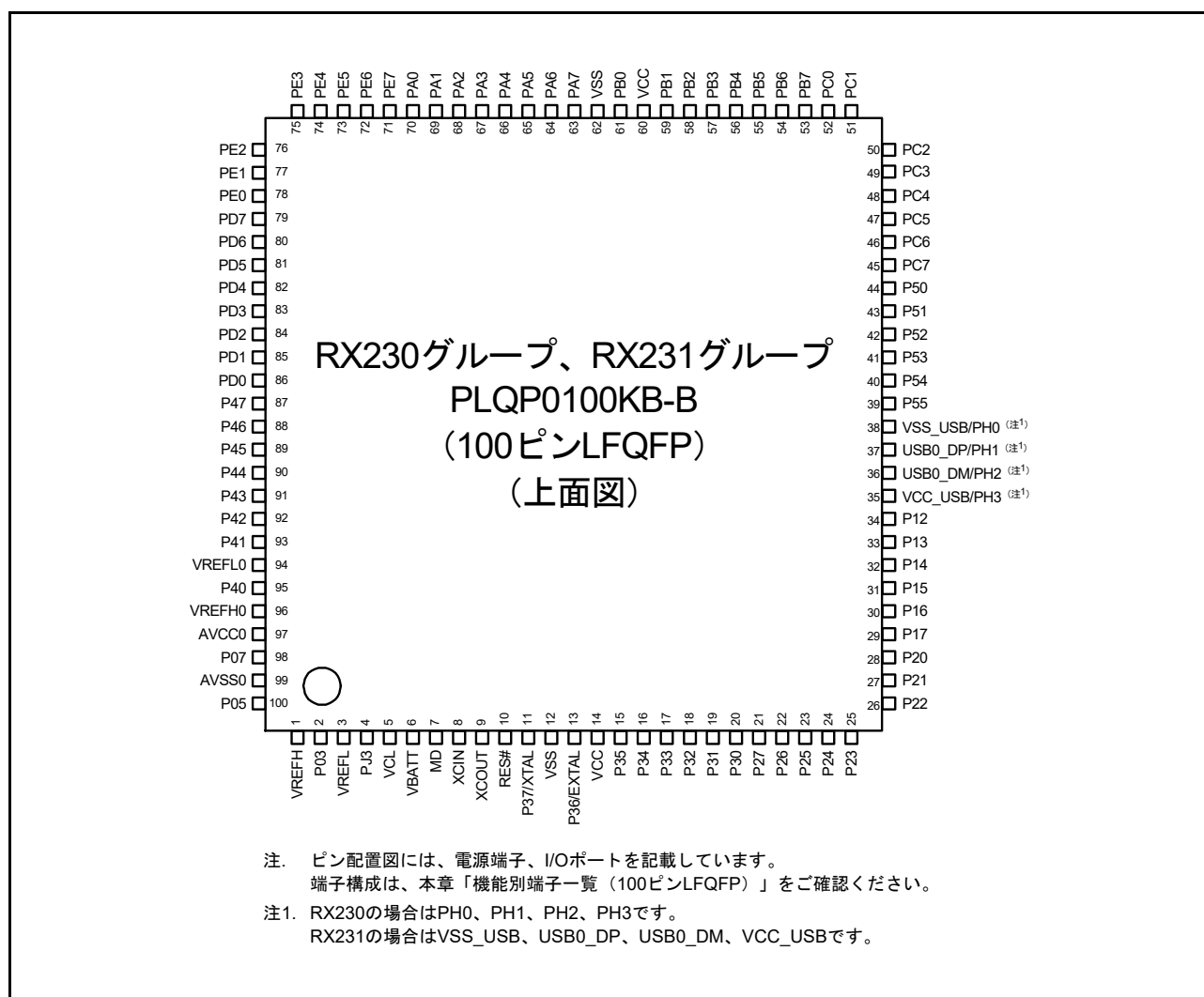
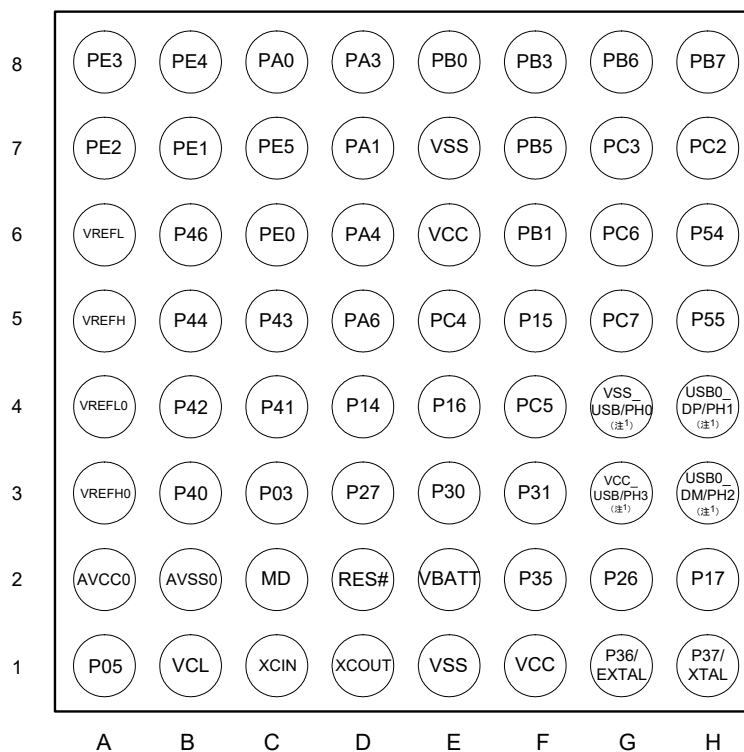


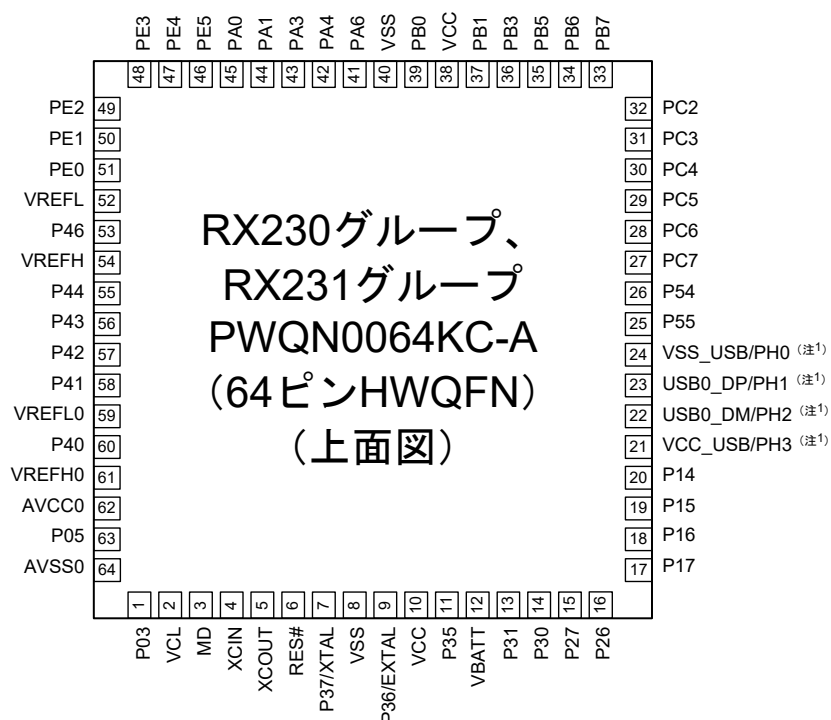
図 1.4 100 ピン LFQFP ピン配置図

RX230グループ、RX231グループ
PWLG0064KA-A
(64ピンWFLGA)
(上面透視図)



- 注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、本章「機能別端子一覧 (64ピンWFLGA)」をご確認ください。
- 注. パッケージのA1番ピンの位置は「外形寸法図」をご確認ください。
- 注1. RX230の場合はPH0、PH1、PH2、PH3です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

図 1.5 64 ピン WFLGA ピン配置図



- 注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、本章「機能別端子一覧（64ピンLQFP/HWQFN）」をご確認ください。
- 注. exposed die padは、VSSに接続することを推奨します。
- 注1. RX230の場合はPH0、PH1、PH2、PH3です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

図 1.6 64 ピン HWQFN ピン配置図

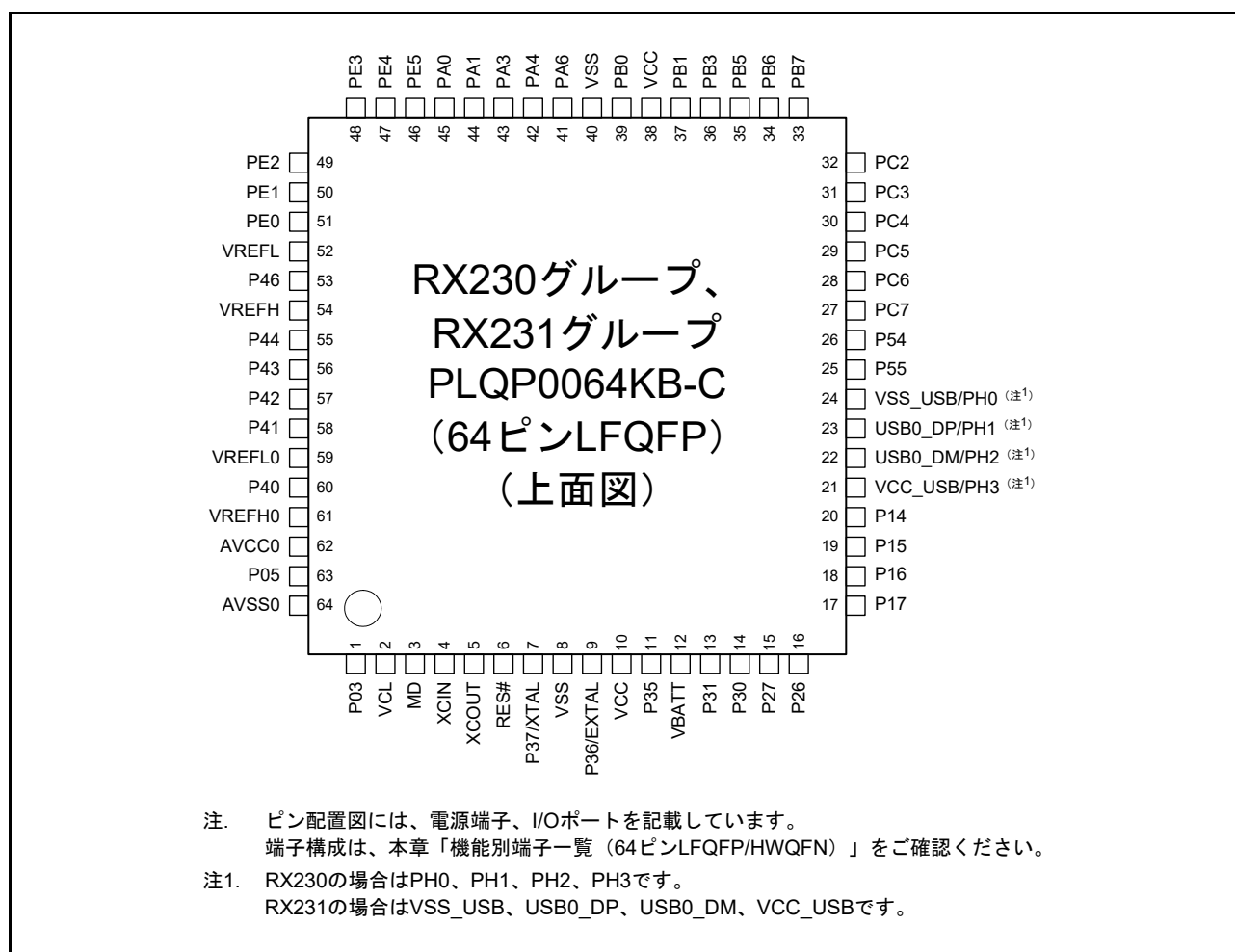


図 1.7 64 ピン LFQFP ピン配置図

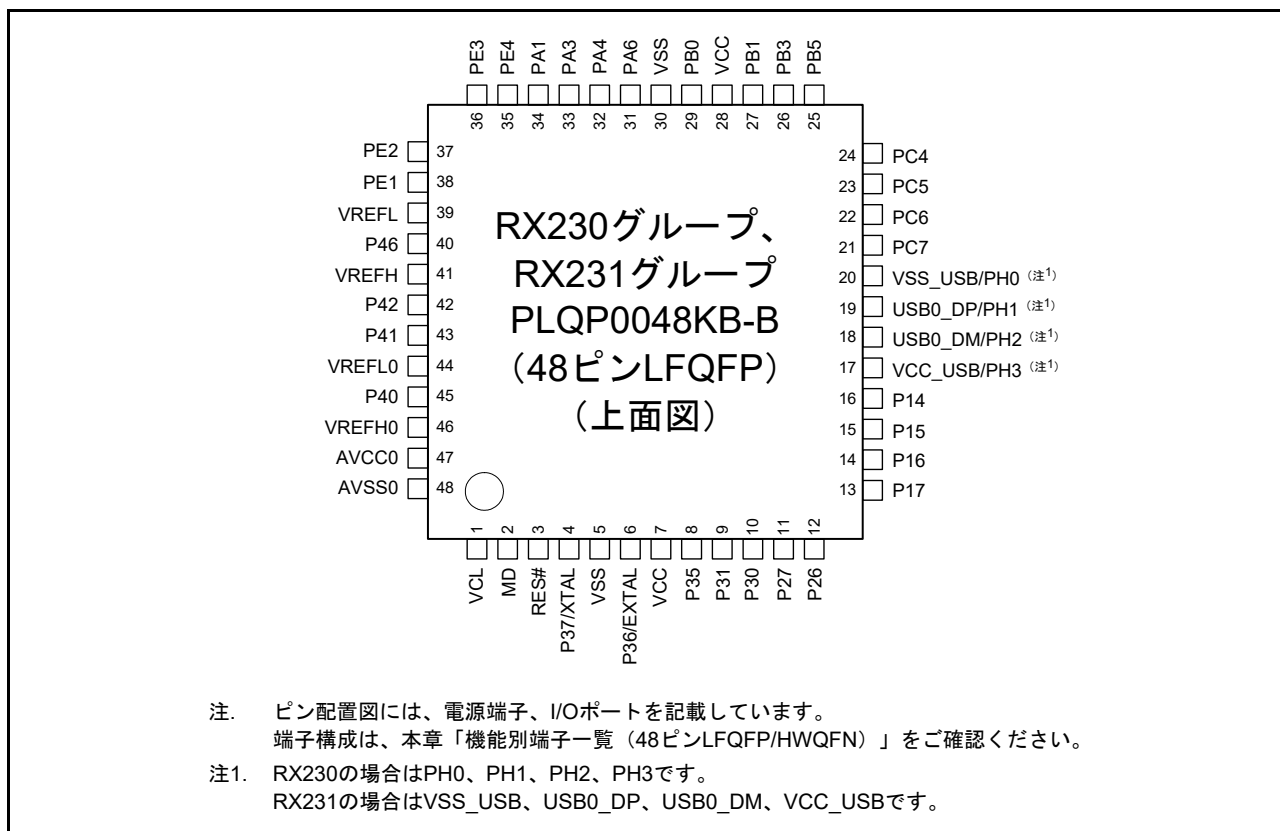


図 1.8 48 ピン LQFP ピン配置図

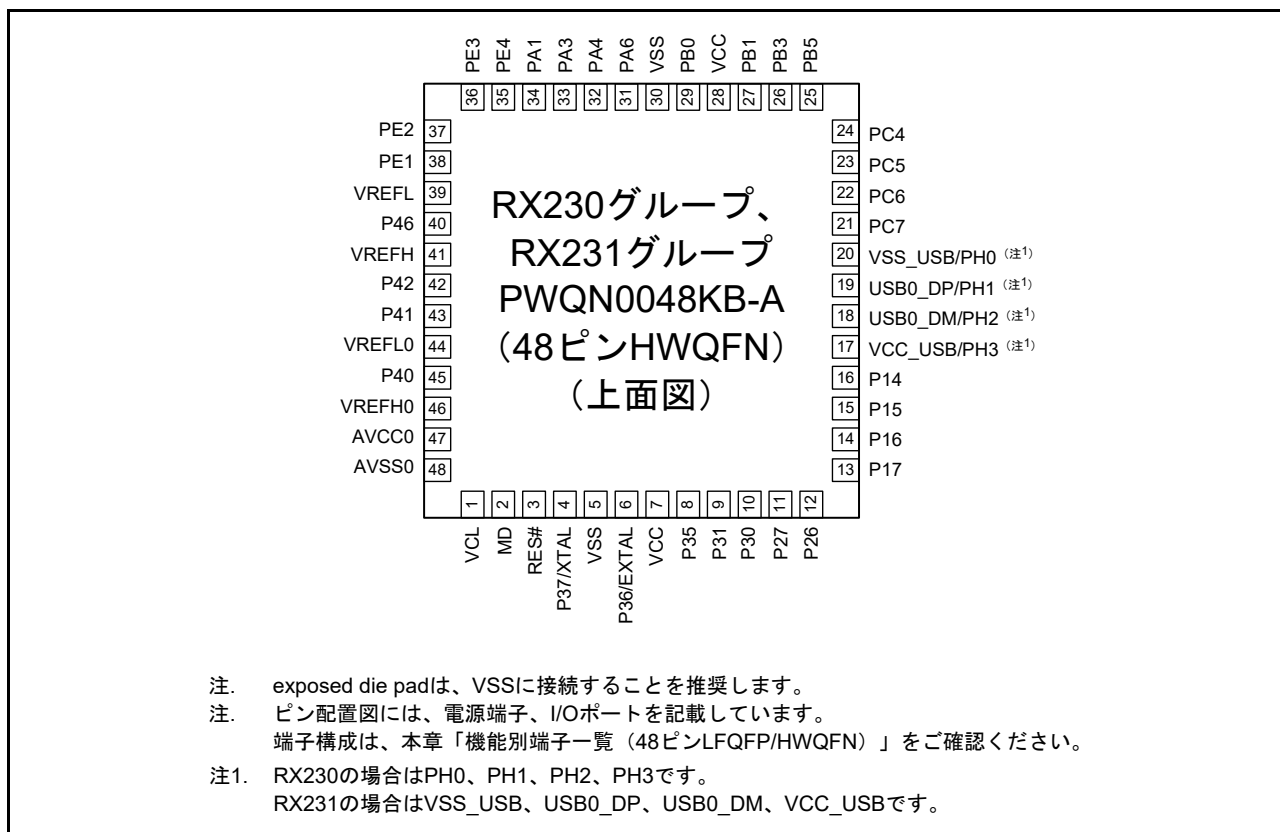


図 1.9 48 ピン HWQFN ピン配置図

表 1.6 機能別端子一覧 (100ピンTFLGA) (1/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
A1		P05						DA1
A2	VREFH							
A3		P07						ADTRG0#
A4	VREFL0							
A5		P43						AN003
A6		PD0	D0[A0/D0]					IRQ0/AN024
A7		PD4	D4[A4/D4]	POE3#				IRQ4/AN028
A8		PE0	D8[A8/D8]		SCK12			AN016
A9		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12			AN017/ CMPB0
A10		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXDX12/ SMISO12/SSCL12			IRQ7/AN018/ CVREFB0
B1		P03						DA0
B2	AVSS0							
B3	AVCC0							
B4		P40						AN000
B5		P44						AN004
B6		PD1	D1[A1/D1]	MTIOC4B				IRQ1/AN025
B7		PD3	D3[A3/D3]	POE8#				IRQ3/AN027
B8		PD6	D6[A6/D6]	MTIC5V/POE1#				IRQ6/AN030
B9		PD7	D7[A7/D7]	MTIC5U/POE0#				IRQ7/AN031
B10		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/ CLKOUT
C1	VCL							
C2	VREFL							
C3		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#			
C4	VREFH0							
C5		P42						AN002
C6		P47						AN007
C7		PD2	D2[A2/D2]	MTIOC4D				IRQ2/AN026
C8		PD5	D5[A5/D5]	MTIC5W/POE2#				IRQ5/AN029
C9		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
C10		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A				AN020/ CMPA2/ CLKOUT
D1	XCIN							
D2	XCOUT							
D3	MD							FINED
D4	VBATT							
D5		P45						AN005
D6		P46						AN006
D7		PE6	D14[A14/D14]					IRQ6/AN022
D8		PE7	D15[A15/D15]					IRQ7/AN023
D9		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0	SCK5/SSLA2/SSISCK0			
D10		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1			CACREF
E1	XTAL	P37						
E2	VSS							
E3	RES#							
E4		P34		MTIOC0A/TMC13/POE2#	SCK6		TS0	IRQ4

表 1.6 機能別端子一覧 (100ピンTFLGA) (2/3)

ピン番号	電源、クロック、システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
E5		P41						AN001
E6		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3/IRRXD5			
E7		PA6	A6	MTIC5V/MTCLKB/TMC13/POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/SSIWS0			
E8		PA4	A4	MTIC5U/MTCLKA/TMRI0/TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/SSITXD0/IRTXD5			IRQ5 / CVREFB1
E9		PA5	A5	TIOCB1	RSPCKA			
E10		PA3	A3	MTIOC0D/MTCLKD/TIOC0D/TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/IRRXD5			IRQ6 / CMPB1
F1	EXTAL	P36						
F2	VCC							
F3	UPSEL	P35						NMI
F4		P32		MTIOC0C/TMO3/TIOCC0/RTCCOUT/RTCCIC2	TXD6/SMOSI6/SSDA6/USB0_VBUSEN			IRQ2
F5		P12		TMC11	SCL			IRQ2
F6		PB3	A11	MTIOC0A/MTIOC4A/TMO0/POE3#/TIOC0D3/TCLKD	SCK6	SDHI_WP		
F7		PB2	A10	TIOCC3/TCLKC	CTS6#/RTS6#/SS6#			
F8		PB0	A8	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA	SDHI_CM D		
F9		PA7	A7	TIOCB2	MISOA			
F10	VSS							
G1		P33		MTIOC0D/TMRI3/POE3#/TIOC0D	RXD6/SMISO6/SSCL6		TS1	IRQ3
G2		P31		MTIOC4D/TMC12/RTCCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
G3		P30		MTIOC4B/TMRI3/POE8#/RTCCIC0	RXD1/SMISO1/SSCL1/AUDIO_MCLK			IRQ0/CMPOB3
G4		P27	CS3#	MTIOC2B/TMC13	SCK1/SSIWS0		TS2	CVREFB3
G5	BCLK	P53					TS17	
G6		P52	RD#				TS18	
G7		PB5	A13	MTIOC2A/MTIOC1B/TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
G8		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#			
G9		PB1	A9	MTIOC0C/MTIOC4C/TMC10/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/CMPOB1
G10	VCC							
H1		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/SSIRXD0		TS3	CMPB3
H2		P25	CS1#	MTIOC4C/MTCLKB/TIOCA4			TS4	ADTRG0#
H3		P16		MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/RTCCOUT	TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB			IRQ6/ADTRG0#
H4		P15		MTIOC0B/MTCLKB/TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
H5		P55	WAIT#	MTIOC4D/TMO3	CRXD0		TS15	
H6		P54	ALE	MTIOC4B/TMC11	CTXD0		TS16	
H7	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA		TS22	
H9		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		

表 1.6 機能別端子一覧 (100ピンTFLGA) (3/3)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、 RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、 RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
H10		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		
J1		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1/TIOCB4	USB0_VBUSEN		TS5	
J2		P21		MTIOC1B/TMCI0/TIOCA3	RXD0/SMISO0/SSCL0/ USB0_EXICEN/SSIWS0		TS8	
J3		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/TIOCB0/ TCLKD	SCK1/MISOA/SDA/ SSITXD0			IRQ7/ CMPOB2
J4		P13		MTIOC0B/TMO3/TIOCA5	SDA			IRQ3
J5	VSS_USB (注1)	PH0 (注1)						CACREF (注1)
J6	VCC_USB (注1)	PH3 (注1)		TMCI0 (注1)				
J7		P50	WR0#/WR#				TS20	
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMCI1/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	SDHI_D1	TSCAP	
J9		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/ SSLA1		TS35	
J10		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2		TS33	
K1		P23		MTIOC3D/MTCLKD/ TIOCD3	CTS0#/RTS0#/SS0#/ SSISCK0		TS6	
K2		P22		MTIOC3B/MTCLKC/TMO0/ TIOCC3	SCK0/ USB0_OVRCURB/ AUDIO_MCLK		TS7	
K3		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0/ USB0_ID/SSIRXD0		TS9	
K4		P14		MTIOC3A/MTCLKA/ TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/ CTXD0/ USB0_OVRCURA		TS13	IRQ4/ CVREFB2
K5		PH2 (注1)		TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
K6		PH1 (注1)		TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
K7		P51	WR1#/BC1#/ WAIT#				TS19	
K8		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA		TS23	
K9		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/ IRTXD5	SDHI_D0	TS27	
K10		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5	SDHI_D3	TS30	

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.7 機能別端子一覧 (100ピンLQFP) (1/3)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、 RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、 RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
1	VREFH							
2		P03						DA0
3	VREFL							
4		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#			
5	VCL							
6	VBATT							
7	MD							FINED
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15	UPSEL	P35						NMI
16		P34		MTIOC0A/TMC13/POE2#	SCK6		TS0	IRQ4
17		P33		MTIOC0D/TMRI3/POE3#/ TIOC0D	RXD6/SMISO6/SSCL6		TS1	IRQ3
18		P32		MTIOC0C/TMO3/TIOCC0/ RTCOUT/RTCIC2	TXD6/SMOSI6/SSDA6/ USB0_VBUSEN			IRQ2
19		P31		MTIOC4D/TMC12/RTCIC1	CTS1#/RTS1#/SS1#/ SSISCK0			IRQ1
20		P30		MTIOC4B/TMRI3/POE8#/ RTCIC0	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/ CMPOB3
21		P27	CS3#	MTIOC2B/TMC13	SCK1/SSIWS0		TS2	CVREFB3
22		P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ SSIRXD0		TS3	CMPB3
23		P25	CS1#	MTIOC4C/MTCLKB/ TIOCA4			TS4	ADTRG0#
24		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1/TIOCB4	USB0_VBUSEN		TS5	
25		P23		MTIOC3D/MTCLKD/ TIOC0D3	CTS0#/RTS0#/SS0#/ SSISCK0		TS6	
26		P22		MTIOC3B/MTCLKC/TMO0/ TIOCC3	SCK0/ USB0_OVRCURB/ AUDIO_MCLK		TS7	
27		P21		MTIOC1B/TMC10/TIOCA3	RXD0/SMISO0/SSCL0/ USB0_EXICEN/SSIWS0		TS8	
28		P20		MTIOC1A/TMRI0/TIOCB3	TXD0/SMOSI0/SSDA0/ USB0_ID/SSIRXD0		TS9	
29		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/TIOCB0/ TCLKD	SCK1/MISOA/SDA/ SSITXD0			IRQ7/ CMPOB2
30		P16		MTIOC3C/MTIOC3D/ TMO2/TIOCB1/TCLKC/ RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ ADTRG0#
31		P15		MTIOC0B/MTCLKB/ TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/ CRXD0		TS12	IRQ5/CMPB2
32		P14		MTIOC3A/MTCLKA/ TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/ CTXD0/ USB0_OVRCURA		TS13	IRQ4/ CVREFB2
33		P13		MTIOC0B/TMO3/TIOCA5	SDA			IRQ3
34		P12		TMC11	SCL			IRQ2
35	VCC_USB (注1)	PH3 (注1)		TMC10 (注1)				

表 1.7 機能別端子一覧 (100ピンLQFP) (2/3)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、 RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、 RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
36		PH2 (注1)		TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
37		PH1 (注1)		TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
38	VSS_USB (注1)	PH0 (注1)						CACREF (注1)
39		P55	WAIT#	MTIOC4D/TMO3	CRXD0		TS15	
40		P54	ALE	MTIOC4B/TMC11	CTXD0		TS16	
41	BCLK	P53					TS17	
42		P52	RD#				TS18	
43		P51	WR1#/BC1#/ WAIT#				TS19	
44		P50	WR0#/WR#				TS20	
45	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/ MISOA			CACREF
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/ MOSIA		TS22	
47		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA		TS23	
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0	SDHI_D1	TSCAP	
49		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/ IRTXD5	SDHI_D0	TS27	
50		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/ SSLA3/ IRRXD5	SDHI_D3	TS30	
51		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2		TS33	
52		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/ SSLA1		TS35	
53		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		
54		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		
55		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
56		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#			
57		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE3#/TIOC3/ TCLKD	SCK6	SDHI_WP		
58		PB2	A10	TIOCC3/TCLKC	CTS6#/RTS6#/SS6#			
59		PB1	A9	MTIOC0C/MTIOC4C/ TMC10/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/ CMPOB1
60	VCC							
61		PB0	A8	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/ RSPCKA	SDHI_CM D		
62	VSS							
63		PA7	A7	TIOCB2	MISOA			
64		PA6	A6	MTIC5V/MTCLKB/TMC13/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/ MOSIA/SSIWS0			
65		PA5	A5	TIOCB1	RSPCKA			
66		PA4	A4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/ SSLA0/SSIITXD0/IRTXD5			IRQ5 / CVREFB1
67		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB	RXD5/SMISO5/SSCL5/ SSIITXD0/IRRXD5			IRQ6 / CMPB1
68		PA2	A2		RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5			
69		PA1	A1	MTIOC0B/MTCLKC/ TIOCB0	SCK5/SSLA2/SSISCK0			
70		PA0	A0/BC0#	MTIOC4A/TIOCA0	SSLA1			CACREF
71		PE7	D15[A15/D15]					IRQ7/AN023
72		PE6	D14[A14/D14]					IRQ6/AN022

表 1.7 機能別端子一覧 (100ピンLQFP) (3/3)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	外部バス	タイマ (MTU、TPU、TMR、 RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、 RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
73		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
74		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A				AN020/ CMPA2/ CLKOUT
75		PE3	D11[A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/ CLKOUT
76		PE2	D10[A10/D10]	MTIOC4A	RXD12/RXDX12/ SMISO12/SSCL12			IRQ7/AN018/ CVREFB0
77		PE1	D9[A9/D9]	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12			AN017/ CMPB0
78		PE0	D8[A8/D8]		SCK12			AN016
79		PD7	D7[A7/D7]	MTIC5U/POE0#				IRQ7/AN031
80		PD6	D6[A6/D6]	MTIC5V/POE1#				IRQ6/AN030
81		PD5	D5[A5/D5]	MTIC5W/POE2#				IRQ5/AN029
82		PD4	D4[A4/D4]	POE3#				IRQ4/AN028
83		PD3	D3[A3/D3]	POE8#				IRQ3/AN027
84		PD2	D2[A2/D2]	MTIOC4D				IRQ2/AN026
85		PD1	D1[A1/D1]	MTIOC4B				IRQ1/AN025
86		PD0	D0[A0/D0]					IRQ0/AN024
87		P47						AN007
88		P46						AN006
89		P45						AN005
90		P44						AN004
91		P43						AN003
92		P42						AN002
93		P41						AN001
94	VREFL0							
95		P40						AN000
96	VREFH0							
97	AVCC0							
98		P07						ADTRG0#
99	AVSS0							
100		P05						DA1

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.8 機能別端子一覧 (64ピンWFLGA) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
A1		P05					DA1
A2	AVCC0						
A3	VREFH0						
A4	VREFL0						
A5	VREFH						
A6	VREFL						
A7		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12			IRQ7/AN018/ CVREFB0
A8		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/CLKOUT
B1	VCL						
B2	AVSS0						
B3		P40					AN000
B4		P42					AN002
B5		P44					AN004
B6		P46					AN006
B7		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12			AN017/CMPB0
B8		PE4	MTIOC4D/MTIOC1A				AN020/CMPA2/ CLKOUT
C1	XCIN						
C2	MD						FINED
C3		P03					DA0
C4		P41					AN001
C5		P43					AN003
C6		PE0		SCK12			AN016
C7		PE5	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
C8		PA0	MTIOC4A/TIOCA0	SSLA1			CACREF
D1	XCOUT						
D2	RES#						
D3		P27	MTIOC2B/TMCI3	SCK1/SSIWS0		TS2	CVREFB3
D4		P14	MTIOC3A/MTCLKA/TMRI2/ TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/ USB0_OVRCURA		TS13	IRQ4/CVREFB2
D5		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/ SSIWS0			
D6		PA4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/ SSITXD0/IRTXD5			IRQ5 /CVREFB1
D7		PA1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2/SSISCK0			
D8		PA3	MTIOC0D/MTCLKD/TIOCD0/ TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/ IRRXD5			IRQ6 /CMPB1
E1	VSS						
E2	VBATT						
E3		P30	MTIOC4B/TMRI3/POE8#/ RTICIC0	RXD1/SMISO1/SSCL1/ AUDIO_MCLK			IRQ0/CMPOB3
E4		P16	MTIOC3C/MTIOC3D/TMO2/ TIOCB1/TCLKC/RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/ SCL/USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB			IRQ6/ADTRG0#
E5		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	SDHI_D1	TSCAP	
E6	VCC						
E7	VSS						

表 1.8 機能別端子一覧 (64ピンWFLGA) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
E8		PB0	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA	SDHI_CM D		
F1	VCC						
F2	UPSEL	P35					NMI
F3		P31	MTIOC4D/TMC12/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
F4		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID			TS23
F5		P15	MTIOC0B/MTCLKB/TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
F6		PB1	MTIOC0C/MTIOC4C/TMC10/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/CMPOB1
F7		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
F8		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#/TIOC3D/TCLKD	SCK6	SDHI_WP		
G1	EXTAL	P36					
G2		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUS/SSIRXD0		TS3	CMPB3
G3	VCC_USB (注1)	PH3 (注1)	TMC10 (注1)				
G4	VSS_USB (注1)	PH0 (注1)					CACREF (注1)
G5	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
G6		PC6	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA/USB0_EXICEN		TS22	
G7		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	SDHI_D0	TS27	
G8		PB6/PC0	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		
H1	XTAL	P37					
H2		P17	MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0			IRQ7/CMPOB2
H3		PH2 (注1)	TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
H4		PH1 (注1)	TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
H5		P55	MTIOC4D/TMO3	CRXD0		TS15	
H6		P54	MTIOC4B/TMC11	CTXD0		TS16	
H7		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/IRRXD5	SDHI_D3	TS30	
H8		PB7/PC1	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMC10です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.9 機能別端子一覧 (64ピンLFQFP/HWQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
1		P03					DA0
2	VCL						
3	MD						FINED
4	XCIN						
5	XCOUT						
6	RES#						
7	XTAL	P37					
8	VSS						
9	EXTAL	P36					
10	VCC						
11	UPSEL	P35					NMI
12	VBATT						
13		P31	MTIOC4D/TMC12/RTCIC1	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
14		P30	MTIOC4B/TMRI3/POE8#/RTCIC0	RXD1/SMISO1/SSCL1/AUDIO_MCLK			IRQ0/CMPOB3
15		P27	MTIOC2B/TMC13	SCK1/SSIWS0		TS2	CVREFB3
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUS/SSIRXD0		TS3	CMPB3
17		P17	MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/SSITXD0			IRQ7/CMPOB2
18		P16	MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUS/USB0_OVRCURB			IRQ6/ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMC12/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
20		P14	MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/USB0_OVRCURA		TS13	IRQ4/CVREFB2
21	VCC_USB (注1)	PH3 (注1)	TMC10 (注1)				
22		PH2 (注1)	TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
23		PH1 (注1)	TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
24	VSS_USB (注1)	PH0 (注1)					CACREF (注1)
25		P55	MTIOC4D/TMO3	CRXD0		TS15	
26		P54	MTIOC4B/TMC11	CTXD0		TS16	
27	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
28		PC6	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/MOSIA/USB0_EXICEN		TS22	
29		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID		TS23	
30		PC4	MTIOC3D/MTCLKC/TMC11/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	SDHI_D1	TSCAP	
31		PC3	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5/IRTXD5	SDHI_D0	TS27	
32		PC2	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3/IRRXD5	SDHI_D3	TS30	
33		PB7/PC1	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9	SDHI_D2		
34		PB6/PC0	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9	SDHI_D1		
35		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#/TIOCB4	SCK9/USB0_VBUS	SDHI_CD		
36		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#/TIOCD3/TCLKD	SCK6	SDHI_WP		
37		PB1	MTIOC0C/MTIOC4C/TMC10/TIOCB3	TXD6/SMOSI6/SSDA6	SDHI_CLK		IRQ4/CMPOB1
38	VCC						
39		PB0	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA	SDHI_CM D		

表 1.9 機能別端子一覧 (64ピンLFQFP/HWQFN) (2/2)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、 CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、 USB、SSI)	メモリIF (SDHI)	タッチ	その他
40	VSS						
41		PA6	MTIC5V/MTCLKB/TMC13/ POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/ SSIWS0			
42		PA4	MTIC5U/MTCLKA/TMRI0/ TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/ SSITXD0/IRTXD5			IRQ5 /CVREFB1
43		PA3	MTIOC0D/MTCLKD/TIOCD0/ TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/ IRRXD5			IRQ6 /CMPB1
44		PA1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2/SSISCK0			
45		PA0	MTIOC4A/TIOCA0	SSLA1			CACREF
46		PE5	MTIOC4C/MTIOC2B				IRQ5/AN021/ CMPOB0
47		PE4	MTIOC4D/MTIOC1A				AN020/CMPA2/ CLKOUT
48		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/ AUDIO_MCLK			AN019/CLKOUT
49		PE2	MTIOC4A	RXD12/RXD12/SMISO12/ SSCL12			IRQ7/AN018/ CVREFB0
50		PE1	MTIOC4C	TXD12/TXD12/SIOX12/ SMOSI12/SSDA12			AN017/CMPB0
51		PE0		SCK12			AN016
52	VREFL						
53		P46					AN006
54	VREFH						
55		P44					AN004
56		P43					AN003
57		P42					AN002
58		P41					AN001
59	VREFL0						
60		P40					AN000
61	VREFH0						
62	AVCC0						
63		P05					DA1
64	AVSS0						

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCIOです。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

表 1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、USB、SSI)	メモリIF (SDHI)	タッチ	その他
1	VCL						
2	MD						FINED
3	RES#						
4	XTAL	P37					
5	VSS						
6	EXTAL	P36					
7	VCC						
8	UPSEL	P35					NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#/SSISCK0			IRQ1
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1/AUDIO_MCLK			IRQ0/CMPOB3
11		P27	MTIOC2B/TMCI3	SCK1/SSIWS0		TS2	CVREFB3
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/USB0_VBUS/SSIRXD0		TS3	CMPB3
13		P17	MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD	SCK1/MISOA/SDA/ SSITXD0			IRQ7/ CMPOB2
14		P16	MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC	TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUS/USB0_OVRCURB			IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB	RXD1/SMISO1/SSCL1/CRXD0		TS12	IRQ5/CMPB2
16		P14	MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA	CTS1#/RTS1#/SS1#/CTXD0/USB0_OVRCURA		TS13	IRQ4/CVREFB2
17	VCC_USB (注1)	PH3 (注1)	TMCI0 (注1)				
18		PH2 (注1)	TMRI0 (注1)	USB0_DM (注1)			IRQ1 (注1)
19		PH1 (注1)	TMO0 (注1)	USB0_DP (注1)			IRQ0 (注1)
20	VSS_USB (注1)	PH0 (注1)					CACREF (注1)
21	UB	PC7	MTIOC3A/MTCLKB/TMO2	TXD8/SMOSI8/SSDA8/MISOA			CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA/USB0_EXICEN		TS22	
23		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA/USB0_ID		TS23	
24		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0		TSCAP	
25		PB5/PC3	MTIOC2A/MTIOC1B/TMRI1/POE1#/TIOCB4	USB0_VBUS			
26		PB3/PC2	MTIOC0A/MTIOC4A/TMO0/POE3#/TIOCD3/TCLKD	SCK6			
27		PB1/PC1	MTIOC0C/MTIOC4C/TMCI0/TIOCB3	TXD6/SMOSI6/SSDA6			IRQ4/CMPOB1
28	VCC						
29		PB0/PC0	MTIC5W/TIOCA3	RXD6/SMISO6/SSCL6/RSPCKA			
30	VSS						
31		PA6	MTIC5V/MTCLKB/TMCI3/POE2#/TIOCA2	CTS5#/RTS5#/SS5#/MOSIA/SSIWS0			
32		PA4	MTIC5U/MTCLKA/TMRI0/TIOCA1	TXD5/SMOSI5/SSDA5/SSLA0/SSITXD0/IRTXD5			IRQ5 /CVREFB1
33		PA3	MTIOC0D/MTCLKD/TIOCD0/TCLKB	RXD5/SMISO5/SSCL5/SSIRXD0/IRRXD5			IRQ6 /CMPB1
34		PA1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2/SSISCK0			
35		PE4	MTIOC4D/MTIOC1A				AN020/CMPA2/CLKOUT
36		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/AUDIO_MCLK			AN019/CLKOUT
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12			IRQ7/AN018/CVREFB0

表 1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (2/2)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU、TPU、TMR、RTC、 CMT、POE、CAC)	通信 (SCI、RSPI、RIIC、RSCAN、 USB、SSI)	メモリIF (SDHI)	タッチ	その他
38		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SSDA12			AN017/CMPB0
39	VREFL						
40		P46					AN006
41	VREFH						
42		P42					AN002
43		P41					AN001
44	VREFL0						
45		P40					AN000
46	VREFH0						
47	AVCC0						
48	AVSS0						

注1. RX230の場合はPH0/CACREF、PH1/IRQ0/TMO0、PH2/IRQ1/TMRI0、PH3/TMCI0です。
RX231の場合はVSS_USB、USB0_DP、USB0_DM、VCC_USBです。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。



図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 例外テーブルレジスタ (EXTB)

例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(3) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

INTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(4) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(5) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(6) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(7) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(8) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(9) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。 F_j フラグは蓄積フラグです。($j = X, U, Z, O, V$)

2.3 アキュムレータ

アキュムレータ (ACC0、ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの $b_{95} \sim b_{72}$ の扱いは、読み出し時に b_{71} の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は ($b_{95} \sim b_{64}$) に、「MVTACHI 命令」は上位側 32 ビット ($b_{63} \sim b_{32}$) に、「MVTACLO 命令」は下位側 32 ビット ($b_{31} \sim b_0$) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット ($b_{95} \sim b_{64}$)、「MVFACHI 命令」で上位側 32 ビット ($b_{63} \sim b_{32}$)、「MVFACMI 命令」で中央の 32 ビット ($b_{47} \sim b_{16}$)、「MVFACLO 命令」で下位側 32 ビット ($b_{31} \sim b_0$) のデータをそれぞれ読み出します。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

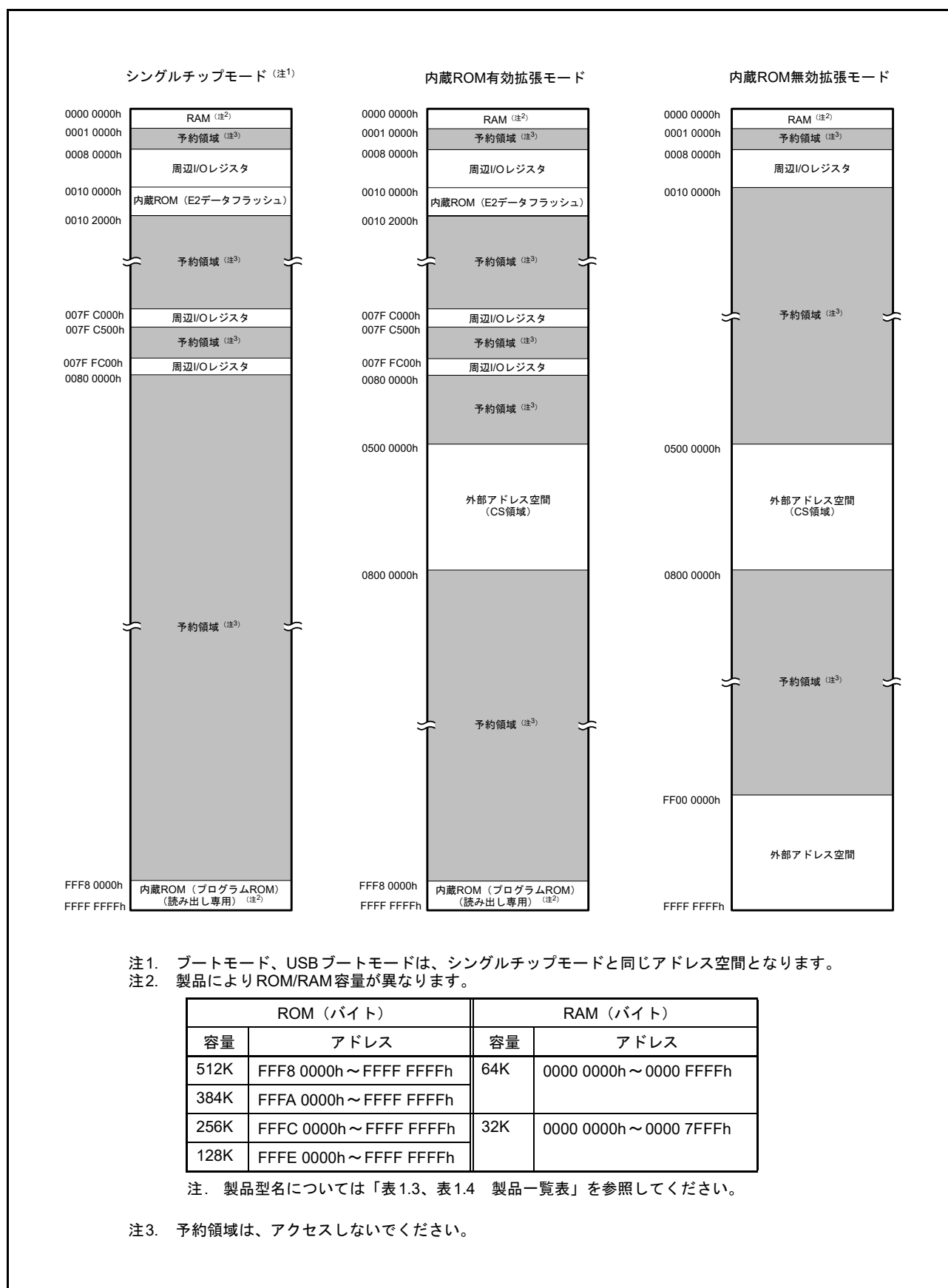


図 3.1 各動作モードのメモリマップ

3.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって最大 4 つの CS 領域 (CS0 ~ CS3) に分割できます。図 3.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

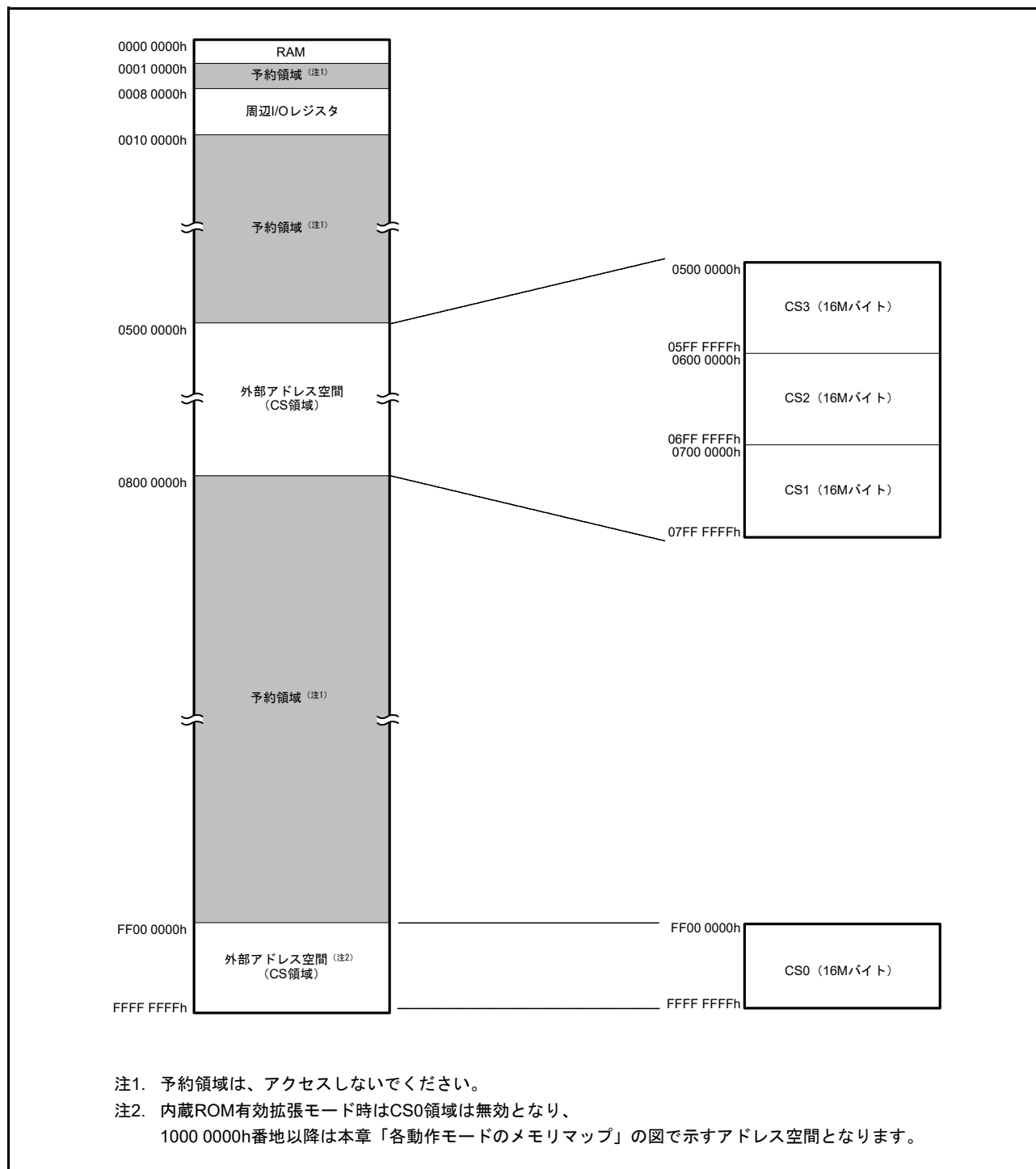


図 3.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、表 4.1 では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 4.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 4.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

4.1 I/Oレジスタアドレス一覧（アドレス順）

表4.1 I/Oレジスタアドレス一覧 (1/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK	
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK	
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK	
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK	
0008 002Ch	SYSTEM	USB専用PLLコントロールレジスタ	UPLLCR	16	16	3ICLK	
0008 002Eh	SYSTEM	USB専用PLLコントロールレジスタ2	UPLLCR2	8	8	3ICLK	
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK	
0008 0031h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	3ICLK	
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK	
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK	
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK	
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK	
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	
0008 0060h	SYSTEM	低速オンチップオシレータトリミングレジスタ	LOCOTRR	8	8	3ICLK	
0008 0064h	SYSTEM	IWDT専用オンチップオシレータトリミングレジスタ	ILOCOTRR	8	8	3ICLK	
0008 0068h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	8	8	3ICLK	
0008 006Bh	SYSTEM	高速オンチップオシレータトリミングレジスタ3	HOCOTRR3	8	8	3ICLK	
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK	
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3ICLK	
0008 00B0h	LPT	ローパワータイマコントロールレジスタ1	LPTCR1	8	8	3ICLK	
0008 00B1h	LPT	ローパワータイマコントロールレジスタ2	LPTCR2	8	8	3ICLK	
0008 00B2h	LPT	ローパワータイマコントロールレジスタ3	LPTCR3	8	8	3ICLK	
0008 00B4h	LPT	ローパワータイマ周期設定レジスタ	LPTPRD	16	16	3ICLK	
0008 00B8h	LPT	ローパワータイマコンペアレジスタ0	LPCMR0	16	16	3ICLK	
0008 00BCh	LPT	ローパワータイマスタンバイ復帰許可レジスタ	LPWUCR	16	16	3ICLK	
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK	
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK	
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK	
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK	
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK	
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	

表 4.1 I/O レジスタアドレス一覧 (2/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	
0008 1308h	BSC	バスエラーステータスレジスタ 1	BERSR1	8	8	2ICLK	
0008 130Ah	BSC	バスエラーステータスレジスタ 2	BERSR2	16	16	2ICLK	
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	
0008 2000h	DMAC0	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2004h	DMAC0	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2008h	DMAC0	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	
0008 200Ch	DMAC0	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	
0008 2010h	DMAC0	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2013h	DMAC0	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2014h	DMAC0	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 2018h	DMAC0	DMA オフセットレジスタ	DMOFR	32	32	2ICLK	
0008 201Ch	DMAC0	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 201Dh	DMAC0	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 201Eh	DMAC0	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	
0008 201Fh	DMAC0	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2040h	DMAC1	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2044h	DMAC1	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2048h	DMAC1	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	
0008 204Ch	DMAC1	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	
0008 2050h	DMAC1	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2053h	DMAC1	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2054h	DMAC1	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 205Ch	DMAC1	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 205Dh	DMAC1	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 205Eh	DMAC1	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	
0008 205Fh	DMAC1	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2080h	DMAC2	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2084h	DMAC2	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2088h	DMAC2	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	
0008 208Ch	DMAC2	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	
0008 2090h	DMAC2	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2093h	DMAC2	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2094h	DMAC2	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 209Ch	DMAC2	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 209Dh	DMAC2	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 209Eh	DMAC2	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	
0008 209Fh	DMAC2	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 20C0h	DMAC3	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 20C4h	DMAC3	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 20C8h	DMAC3	DMA 転送カウンタレジスタ	DMCRA	32	32	2ICLK	
0008 20CCh	DMAC3	DMA ブロック転送カウンタレジスタ	DMCRB	16	16	2ICLK	
0008 20D0h	DMAC3	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 20D3h	DMAC3	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 20D4h	DMAC3	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 20DCh	DMAC3	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 20DDh	DMAC3	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 20DEh	DMAC3	DMA ステータスレジスタ	DMSTS	8	8	2ICLK	
0008 20DFh	DMAC3	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2200h	DMAC	DMA モジュール起動レジスタ	DMAST	8	8	2ICLK	
0008 2400h	DTC	DTC コントロールレジスタ	DTCCR	8	8	2ICLK	

表4.1 I/O レジスタアドレス一覧 (3/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK	
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK	
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK	
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1 ~ 2BCLK	
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1 ~ 2BCLK	
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1 ~ 2BCLK	
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1 ~ 2BCLK	
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1 ~ 2BCLK	
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1 ~ 2BCLK	
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK	
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ~ 2BCLK	
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ~ 2BCLK	
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK	
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ~ 2BCLK	
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ~ 2BCLK	
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ~ 2BCLK	
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK	
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK	
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK	
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK	
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK	
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK	
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK	
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK	
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK	
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK	
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK	
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK	
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK	
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK	
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK	
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK	
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK	
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK	
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK	
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK	
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK	
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK	
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK	
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK	
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK	
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK	
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK	
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK	
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK	
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK	
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK	
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK	
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK	
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK	

表4.1 I/O レジスタアドレス一覧 (4/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 7010h ~ 0008 70FFh	ICU	割り込み要求レジスタ 016 ~ 割り込み要求レジスタ 255	IR016 ~ IR255	8	8	2ICLK	
0008 711Bh ~ 0008 71FFh	ICU	DTC 起動許可レジスタ 027 ~ DTC 起動許可レジスタ 255	DTCER027 ~ DTCER255	8	8	2ICLK	
0008 7202h ~ 0008 721Fh	ICU	割り込み要求許可レジスタ 02 ~ 割り込み要求許可レジスタ 1F	IER02 ~ IER1F	8	8	2ICLK	
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	
0008 7300h ~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ 000 ~ 割り込み要因プ ライオリティレジスタ 255	IPR000 ~ IPR255	8	8	2ICLK	
0008 7400h	ICU	DMAC 起動要求選択レジスタ 0	DMRSR0	8	8	2ICLK	
0008 7404h	ICU	DMAC 起動要求選択レジスタ 1	DMRSR1	8	8	2ICLK	
0008 7408h	ICU	DMAC 起動要求選択レジスタ 2	DMRSR2	8	8	2ICLK	
0008 740Ch	ICU	DMAC 起動要求選択レジスタ 3	DMRSR3	8	8	2ICLK	
0008 7500h ~ 0008 7507h	ICU	IRQ コントロールレジスタ 0 ~ IRQ コントロールレジスタ 7	IRQCR0 ~ IRQCR7	8	8	2ICLK	
0008 7510h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK	
0008 7514h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK	
0008 7580h	ICU	ノンмасカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK	
0008 7581h	ICU	ノンмасカブル割り込み許可レジスタ	NMIER	8	8	2ICLK	
0008 7582h	ICU	ノンмасカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	
0008 7590h	ICU	NMI 端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	
0008 7594h	ICU	NMI 端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8020h	WDT	WDT リフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8022h	WDT	WDT コントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8024h	WDT	WDT ステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK
0008 8026h	WDT	WDT リセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8030h	IWDT	IWDT リフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8032h	IWDT	IWDT コントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8034h	IWDT	IWDT ステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK
0008 8036h	IWDT	IWDT リセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	2ICLK
0008 8040h	DA	D/A データレジスタ 0	DADR0	16	16	2 ~ 3PCLKB	2ICLK
0008 8042h	DA	D/A データレジスタ 1	DADR1	16	16	2 ~ 3PCLKB	2ICLK
0008 8044h	DA	D/A 制御レジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK
0008 8045h	DA	DADRM フォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK
0008 8046h	DA	D/A A/D 同期スタート制御レジスタ	DAADSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8047h	DA	D/A VREF 制御レジスタ	DAVREFCR	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (5/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 8100h	TPU	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB	2ICLK
0008 8101h	TPU	タイマシンクロレジスタ	TSYR	8	8	2~3PCLKB	2ICLK
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2~3PCLKB	2ICLK
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (6/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2~3PCLKB	2ICLK
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2~3PCLKB	2ICLK
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2~3PCLKB	2ICLK
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2~3PCLKB	2ICLK
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2~3PCLKB	2ICLK
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2~3PCLKB	2ICLK
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2~3PCLKB	2ICLK
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2~3PCLKB	2ICLK
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	2ICLK
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	2ICLK
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (7/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLKB	2ICLK
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLKB	2ICLK
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLKB	2ICLK
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLKB	2ICLK
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLKB	2ICLK
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLKB	2ICLK
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	2ICLK
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLKB	2ICLK
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLKB	2ICLK
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2~3PCLKB	2ICLK
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	2ICLK
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	2ICLK
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLKB	2ICLK
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	2ICLK
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	2ICLK
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	2ICLK
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	2ICLK
0008 838Fh	RSPI0	RSPI制御レジスタ 2	SPCR2	8	8	2~3PCLKB	2ICLK
0008 8390h	RSPI0	RSPIコマンドレジスタ 0	SPCMD0	16	16	2~3PCLKB	2ICLK
0008 8392h	RSPI0	RSPIコマンドレジスタ 1	SPCMD1	16	16	2~3PCLKB	2ICLK
0008 8394h	RSPI0	RSPIコマンドレジスタ 2	SPCMD2	16	16	2~3PCLKB	2ICLK
0008 8396h	RSPI0	RSPIコマンドレジスタ 3	SPCMD3	16	16	2~3PCLKB	2ICLK
0008 8398h	RSPI0	RSPIコマンドレジスタ 4	SPCMD4	16	16	2~3PCLKB	2ICLK
0008 839Ah	RSPI0	RSPIコマンドレジスタ 5	SPCMD5	16	16	2~3PCLKB	2ICLK
0008 839Ch	RSPI0	RSPIコマンドレジスタ 6	SPCMD6	16	16	2~3PCLKB	2ICLK
0008 839Eh	RSPI0	RSPIコマンドレジスタ 7	SPCMD7	16	16	2~3PCLKB	2ICLK
0008 8410h	IRDA	IrDA制御レジスタ	IRCR	8	8	2~3PCLKB	2ICLK
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ 1	ICSR1	16	8, 16	2~3PCLKB	2ICLK
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ 1	OCSR1	16	8, 16	2~3PCLKB	2ICLK
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ 2	ICSR2	16	8, 16	2~3PCLKB	2ICLK
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ 1	POECR1	8	8	2~3PCLKB	2ICLK
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ 2	POECR2	8	8	2~3PCLKB	2ICLK
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ 3	ICSR3	16	8, 16	2~3PCLKB	2ICLK
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK
0008 9004h	S12AD	A/Dチャンネル選択レジスタ A0	ADANSA0	16	16	2~3PCLKB	2ICLK
0008 9006h	S12AD	A/Dチャンネル選択レジスタ A1	ADANSA1	16	16	2~3PCLKB	2ICLK
0008 9008h	S12AD	A/D 変換値加算/平均機能チャンネル選択レジスタ 0	ADADS0	16	16	2~3PCLKB	2ICLK
0008 900Ah	S12AD	A/D 変換値加算/平均機能チャンネル選択レジスタ 1	ADADS1	16	16	2~3PCLKB	2ICLK
0008 900Ch	S12AD	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK
0008 9010h	S12AD	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK
0008 9012h	S12AD	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK
0008 9014h	S12AD	A/Dチャンネル選択レジスタ B0	ADANSB0	16	16	2~3PCLKB	2ICLK
0008 9016h	S12AD	A/Dチャンネル選択レジスタ B1	ADANSB1	16	16	2~3PCLKB	2ICLK
0008 9018h	S12AD	A/D データ 2 重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK
0008 901Ah	S12AD	A/D 温度センサデータレジスタ	ADTSRDR	16	16	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (8/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 901Ch	S12AD	A/D 内部基準電圧データレジスタ	ADOCADR	16	16	2 ~ 3PCLKB	2ICLK
0008 901Eh	S12AD	A/D 自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	2ICLK
0008 9020h	S12AD	A/D データレジスタ 0	ADDR0	16	16	2 ~ 3PCLKB	2ICLK
0008 9022h	S12AD	A/D データレジスタ 1	ADDR1	16	16	2 ~ 3PCLKB	2ICLK
0008 9024h	S12AD	A/D データレジスタ 2	ADDR2	16	16	2 ~ 3PCLKB	2ICLK
0008 9026h	S12AD	A/D データレジスタ 3	ADDR3	16	16	2 ~ 3PCLKB	2ICLK
0008 9028h	S12AD	A/D データレジスタ 4	ADDR4	16	16	2 ~ 3PCLKB	2ICLK
0008 902Ah	S12AD	A/D データレジスタ 5	ADDR5	16	16	2 ~ 3PCLKB	2ICLK
0008 902Ch	S12AD	A/D データレジスタ 6	ADDR6	16	16	2 ~ 3PCLKB	2ICLK
0008 902Eh	S12AD	A/D データレジスタ 7	ADDR7	16	16	2 ~ 3PCLKB	2ICLK
0008 9040h	S12AD	A/D データレジスタ 16	ADDR16	16	16	2 ~ 3PCLKB	2ICLK
0008 9042h	S12AD	A/D データレジスタ 17	ADDR17	16	16	2 ~ 3PCLKB	2ICLK
0008 9044h	S12AD	A/D データレジスタ 18	ADDR18	16	16	2 ~ 3PCLKB	2ICLK
0008 9046h	S12AD	A/D データレジスタ 19	ADDR19	16	16	2 ~ 3PCLKB	2ICLK
0008 9048h	S12AD	A/D データレジスタ 20	ADDR20	16	16	2 ~ 3PCLKB	2ICLK
0008 904Ah	S12AD	A/D データレジスタ 21	ADDR21	16	16	2 ~ 3PCLKB	2ICLK
0008 904Ch	S12AD	A/D データレジスタ 22	ADDR22	16	16	2 ~ 3PCLKB	2ICLK
0008 904Eh	S12AD	A/D データレジスタ 23	ADDR23	16	16	2 ~ 3PCLKB	2ICLK
0008 9050h	S12AD	A/D データレジスタ 24	ADDR24	16	16	2 ~ 3PCLKB	2ICLK
0008 9052h	S12AD	A/D データレジスタ 25	ADDR25	16	16	2 ~ 3PCLKB	2ICLK
0008 9054h	S12AD	A/D データレジスタ 26	ADDR26	16	16	2 ~ 3PCLKB	2ICLK
0008 9056h	S12AD	A/D データレジスタ 27	ADDR27	16	16	2 ~ 3PCLKB	2ICLK
0008 9058h	S12AD	A/D データレジスタ 28	ADDR28	16	16	2 ~ 3PCLKB	2ICLK
0008 905Ah	S12AD	A/D データレジスタ 29	ADDR29	16	16	2 ~ 3PCLKB	2ICLK
0008 905Ch	S12AD	A/D データレジスタ 30	ADDR30	16	16	2 ~ 3PCLKB	2ICLK
0008 905Eh	S12AD	A/D データレジスタ 31	ADDR31	16	16	2 ~ 3PCLKB	2ICLK
0008 907Ah	S12AD	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK
0008 907Dh	S12AD	A/D イベントリンクコントロールレジスタ	ADELCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 9080h	S12AD	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	2ICLK
0008 908Ah	S12AD	A/D 高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 908Ch	S12AD	A/D コンペア機能ウィンドウA ステータスモニタレジスタ	ADWINMON	8	8	2 ~ 3PCLKB	2ICLK
0008 9090h	S12AD	A/D コンペア機能コントロールレジスタ	ADCMPCCR	16	16	2 ~ 3PCLKB	2ICLK
0008 9092h	S12AD	A/D コンペア機能ウィンドウA 拡張入力選択レジスタ	ADCMPANSE R	8	8	2 ~ 3PCLKB	2ICLK
0008 9093h	S12AD	A/D コンペア機能ウィンドウA 拡張入力比較条件設定レジスタ	ADCMPLER	8	8	2 ~ 3PCLKB	2ICLK
0008 9094h	S12AD	A/D コンペア機能ウィンドウA チャネル選択レジスタ 0	ADCMPANSR 0	16	16	2 ~ 3PCLKB	2ICLK
0008 9096h	S12AD	A/D コンペア機能ウィンドウA チャネル選択レジスタ 1	ADCMPANSR 1	16	16	2 ~ 3PCLKB	2ICLK
0008 9098h	S12AD	A/D コンペア機能ウィンドウA 比較条件設定レジスタ 0	ADCMPLR0	16	16	2 ~ 3PCLKB	2ICLK
0008 909Ah	S12AD	A/D コンペア機能ウィンドウA 比較条件設定レジスタ 1	ADCMPLR1	16	16	2 ~ 3PCLKB	2ICLK
0008 909Ch	S12AD	A/D コンペア機能ウィンドウA 下位側レベル設定レジスタ	ADCMPDR0	16	16	2 ~ 3PCLKB	2ICLK
0008 909Eh	S12AD	A/D コンペア機能ウィンドウA 上位側レベル設定レジスタ	ADCMPDR1	16	16	2 ~ 3PCLKB	2ICLK
0008 90A0h	S12AD	A/D コンペア機能ウィンドウA チャネルステータスレジスタ 0	ADCMPMSR0	16	16	2 ~ 3PCLKB	2ICLK
0008 90A2h	S12AD	A/D コンペア機能ウィンドウA チャネルステータスレジスタ 1	ADCMPMSR1	16	16	2 ~ 3PCLKB	2ICLK
0008 90A4h	S12AD	A/D コンペア機能ウィンドウA 拡張入力チャネルステータスレジスタ	ADCMPSER	16	16	2 ~ 3PCLKB	2ICLK
0008 90A6h	S12AD	A/D コンペア機能ウィンドウB チャネル選択レジスタ	ADCMPBNSR	8	8	2 ~ 3PCLKB	2ICLK
0008 90A8h	S12AD	A/D コンペア機能ウィンドウB 下位側レベル設定レジスタ	ADWINLLB	16	16	2 ~ 3PCLKB	2ICLK
0008 90AAh	S12AD	A/D コンペア機能ウィンドウB 上位側レベル設定レジスタ	ADWINULB	16	16	2 ~ 3PCLKB	2ICLK
0008 90ACh	S12AD	A/D コンペア機能ウィンドウB チャネルステータスレジスタ	ADCMPBSR	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (9/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 90B0h	S12AD	A/D データ格納バッファレジスタ 0	ADBUF0	16	16	2 ~ 3PCLKB	2ICLK
0008 90B2h	S12AD	A/D データ格納バッファレジスタ 1	ADBUF1	16	16	2 ~ 3PCLKB	2ICLK
0008 90B4h	S12AD	A/D データ格納バッファレジスタ 2	ADBUF2	16	16	2 ~ 3PCLKB	2ICLK
0008 90B6h	S12AD	A/D データ格納バッファレジスタ 3	ADBUF3	16	16	2 ~ 3PCLKB	2ICLK
0008 90B8h	S12AD	A/D データ格納バッファレジスタ 4	ADBUF4	16	16	2 ~ 3PCLKB	2ICLK
0008 90BAh	S12AD	A/D データ格納バッファレジスタ 5	ADBUF5	16	16	2 ~ 3PCLKB	2ICLK
0008 90BCh	S12AD	A/D データ格納バッファレジスタ 6	ADBUF6	16	16	2 ~ 3PCLKB	2ICLK
0008 90BEh	S12AD	A/D データ格納バッファレジスタ 7	ADBUF7	16	16	2 ~ 3PCLKB	2ICLK
0008 90C0h	S12AD	A/D データ格納バッファレジスタ 8	ADBUF8	16	16	2 ~ 3PCLKB	2ICLK
0008 90C2h	S12AD	A/D データ格納バッファレジスタ 9	ADBUF9	16	16	2 ~ 3PCLKB	2ICLK
0008 90C4h	S12AD	A/D データ格納バッファレジスタ 10	ADBUF10	16	16	2 ~ 3PCLKB	2ICLK
0008 90C6h	S12AD	A/D データ格納バッファレジスタ 11	ADBUF11	16	16	2 ~ 3PCLKB	2ICLK
0008 90C8h	S12AD	A/D データ格納バッファレジスタ 12	ADBUF12	16	16	2 ~ 3PCLKB	2ICLK
0008 90CAh	S12AD	A/D データ格納バッファレジスタ 13	ADBUF13	16	16	2 ~ 3PCLKB	2ICLK
0008 90CCh	S12AD	A/D データ格納バッファレジスタ 14	ADBUF14	16	16	2 ~ 3PCLKB	2ICLK
0008 90CEh	S12AD	A/D データ格納バッファレジスタ 15	ADBUF15	16	16	2 ~ 3PCLKB	2ICLK
0008 90D0h	S12AD	A/D データ格納バッファファイナブルレジスタ	ADBUFEN	8	8	2 ~ 3PCLKB	2ICLK
0008 90D2h	S12AD	A/D データ格納バッファポインタレジスタ	ADBUFPTR	8	8	2 ~ 3PCLKB	2ICLK
0008 90DDh	S12AD	A/D サンプリングステートレジスタ L	ADSSTR_L	8	8	2 ~ 3PCLKB	2ICLK
0008 90DEh	S12AD	A/D サンプリングステートレジスタ T	ADSSTR_T	8	8	2 ~ 3PCLKB	2ICLK
0008 90DFh	S12AD	A/D サンプリングステートレジスタ O	ADSSTR_O	8	8	2 ~ 3PCLKB	2ICLK
0008 90E0h	S12AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK
0008 90E1h	S12AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK
0008 90E2h	S12AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK
0008 90E3h	S12AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK
0008 90E4h	S12AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK
0008 90E5h	S12AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK
0008 90E6h	S12AD	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK
0008 90E7h	S12AD	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2 ~ 3PCLKB	2ICLK
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A003h	SCI0	トランスミッターデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A009h	SCI0	I ² C モードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Ah	SCI0	I ² C モードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Bh	SCI0	I ² C モードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Ch	SCI0	I ² C ステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Dh	SCI0	SPI モードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Eh	SCI0	トランスミッターデータレジスタ HL	TDRHL	16	16	4 ~ 5PCLKB	2ICLK
0008 A00Eh	SCI0	トランスミッターデータレジスタ H	TDRH	8	8	2 ~ 3PCLKB	2ICLK
0008 A00Fh	SCI0	トランスミッターデータレジスタ L	TDRL	8	8	2 ~ 3PCLKB	2ICLK
0008 A010h	SCI0	レシーブデータレジスタ HL	RDRHL	16	16	4 ~ 5PCLKB	2ICLK
0008 A010h	SCI0	レシーブデータレジスタ H	RDRH	8	8	2 ~ 3PCLKB	2ICLK
0008 A011h	SCI0	レシーブデータレジスタ L	RDRL	8	8	2 ~ 3PCLKB	2ICLK
0008 A012h	SCI0	モジュレーションデュリティレジスタ	MDDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (10/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (11/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A10Eh	SCI8	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK
0008 A10Eh	SCI8	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK
0008 A10Fh	SCI8	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK
0008 A110h	SCI8	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK
0008 A110h	SCI8	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK
0008 A111h	SCI8	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK
0008 A112h	SCI8	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A12Eh	SCI9	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK
0008 A12Eh	SCI9	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK
0008 A12Fh	SCI9	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK
0008 A130h	SCI9	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK
0008 A130h	SCI9	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (12/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 A131h	SCI9	レシーブデータレジスタ L	RDR1	8	8	2~3PCLKB	2ICLK
0008 A132h	SCI9	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK
0008 A500h	SSI0	制御レジスタ	SSICR	32	32	2~3PCLKB	2ICLK
0008 A504h	SSI0	ステータスレジスタ	SSISR	32	32	2~3PCLKB	2ICLK
0008 A510h	SSI0	FIFO制御レジスタ	SSIFCR	32	32	2~3PCLKB	2ICLK
0008 A514h	SSI0	FIFOステータスレジスタ	SSIFSR	32	32	2~3PCLKB	2ICLK
0008 A518h	SSI0	送信FIFOデータレジスタ	SSIFTDR	32	32	2~3PCLKB	2ICLK
0008 A51Ch	SSI0	受信FIFOデータレジスタ	SSIFRDR	32	32	2~3PCLKB	2ICLK
0008 A520h	SSI0	TDMモードレジスタ	SSITDMR	32	32	2~3PCLKB	2ICLK
0008 AC00h	SDHI	コマンドレジスタ	SDCMD	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC08h	SDHI	アーギュメントレジスタ	SDARG	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC10h	SDHI	データストップレジスタ	SDSTOP	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC14h	SDHI	ブロックカウントレジスタ	SDBLKCNT	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC18h	SDHI	レスポンスレジスタ 10	SDRSP10	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC20h	SDHI	レスポンスレジスタ 32	SDRSP32	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC28h	SDHI	レスポンスレジスタ 54	SDRSP54	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC30h	SDHI	レスポンスレジスタ 76	SDRSP76	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC38h	SDHI	SDステータスレジスタ 1	SDSTS1	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC3Ch	SDHI	SDステータスレジスタ 2	SDSTS2	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC40h	SDHI	SD割り込みマスクレジスタ 1	SDIMSK1	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC44h	SDHI	SD割り込みマスクレジスタ 2	SDIMSK2	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC48h	SDHI	SDHIクロックコントロールレジスタ	SDCLKCR	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC4Ch	SDHI	転送データサイズレジスタ	SDSIZE	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC50h	SDHI	カードアクセスオプションレジスタ	SDOPT	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC58h	SDHI	SDエラーステータスレジスタ 1	SDERSTS1	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC5Ch	SDHI	SDエラーステータスレジスタ 2	SDERSTS2	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK

表4.1 I/O レジスタアドレス一覧 (13/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 AC60h	SDHI	SDバッファレジスタ	SDBUFR	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC68h	SDHI	SDIOモードコントロールレジスタ	SDIOMD	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC6Ch	SDHI	SDIOステータスレジスタ	SDIOSTS	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 AC70h	SDHI	SDIO割り込みマスクレジスタ	SDIOIMSK	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 ADB0h	SDHI	DMA転送許可レジスタ	SDDMAEN	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 ADC0h	SDHI	SDHIソフトウェアリセットレジスタ	SDRST	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 ADE0h	SDHI	スワップコントロールレジスタ	SDSWAP	32	32	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK ライト時 2ICLK
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB	2ICLK
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB	2ICLK
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK
0008 B109h	ELC	イベントリンク設定レジスタ8	ELSR8	8	8	2~3PCLKB	2ICLK
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2~3PCLKB	2ICLK
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (14/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 B11Eh	ELC	イベントリンク設定レジスタ29	ELSR29	8	8	2~3PCLKB	2ICLK
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK
0008 B312h	SCI12	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK
0008 B32Ah	SCI12	Control Field 0コンパインイーナブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (15/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 B32Eh	SCI12	Control Field 1 コンパイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	3~4PCLKB	3ICLK
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (16/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C0A4h	PORTJ	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CCh	PORTC	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0D1h	PORTH	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0D2h	PORTJ	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8, 16	2~3PCLKB	2ICLK
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8, 16	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (17/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8, 16	2~3PCLKB	2ICLK
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8, 16	2~3PCLKB	2ICLK
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK
0008 C120h	PORT	ポート切り替えレジスタB	PSRB	8	8	2~3PCLKB	2ICLK
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB	2ICLK
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (18/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2～3PCLKB	2ICLK
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2～3PCLKB	2ICLK
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2～3PCLKB	2ICLK
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2～3PCLKB	2ICLK
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2～3PCLKB	2ICLK
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2～3PCLKB	2ICLK
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2～3PCLKB	2ICLK
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2～3PCLKB	2ICLK
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2～3PCLKB	2ICLK
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2～3PCLKB	2ICLK
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2～3PCLKB	2ICLK
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2～3PCLKB	2ICLK
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2～3PCLKB	2ICLK
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2～3PCLKB	2ICLK
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2～3PCLKB	2ICLK
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2～3PCLKB	2ICLK
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2～3PCLKB	2ICLK
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2～3PCLKB	2ICLK
0008 C1Ach	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2～3PCLKB	2ICLK
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2～3PCLKB	2ICLK
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2～3PCLKB	2ICLK
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2～3PCLKB	2ICLK
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2～3PCLKB	2ICLK
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2～3PCLKB	2ICLK
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2～3PCLKB	2ICLK
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2～3PCLKB	2ICLK
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2～3PCLKB	2ICLK
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2～3PCLKB	2ICLK
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2～3PCLKB	2ICLK
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2～3PCLKB	2ICLK
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2～3PCLKB	2ICLK
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2～3PCLKB	2ICLK
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2～3PCLKB	2ICLK
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2～3PCLKB	2ICLK
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2～3PCLKB	2ICLK
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4～5PCLKB	2～3ICLK
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4～5PCLKB	2～3ICLK
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4～5PCLKB	2～3ICLK
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4～5PCLKB	2～3ICLK
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4～5PCLKB	2～3ICLK
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4～5PCLKB	2～3ICLK
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4～5PCLKB	2～3ICLK
0008 C29Dh	SYSTEM	VBATT制御レジスタ	VBATTCT	8	8	4～5PCLKB	2～3ICLK
0008 C29Eh	SYSTEM	VBATTステータスレジスタ	VBATTST	8	8	4～5PCLKB	2～3ICLK
0008 C29Fh	SYSTEM	VBATT端子電圧低下検出割り込み制御レジスタ	VBTLVDICR	8	8	4～5PCLKB	2～3ICLK
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2～3PCLKB	2ICLK
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2～3PCLKB	2ICLK
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2～3PCLKB	2ICLK
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2～3PCLKB	2ICLK
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2～3PCLKB	2ICLK
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2～3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (19/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	2ICLK
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	2ICLK
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	2ICLK
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	2ICLK
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	2ICLK
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	2ICLK
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	2ICLK
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	2ICLK
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	2ICLK
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	2ICLK
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	2ICLK
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	2ICLK
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2~3PCLKB	2ICLK
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	2ICLK
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2~3PCLKB	2ICLK
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	2ICLK
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2~3PCLKB	2ICLK
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2~3PCLKB	2ICLK
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2~3PCLKB	2ICLK
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	2ICLK
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2~3PCLKB	2ICLK
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2~3PCLKB	2ICLK
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2~3PCLKB	2ICLK
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2~3PCLKB	2ICLK
0008 C452h	RTC	BCNT0キャプチャレジスタ0	BCNT0CP0	8	8	2~3PCLKB	2ICLK
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2~3PCLKB	2ICLK
0008 C454h	RTC	BCNT1キャプチャレジスタ0	BCNT1CP0	8	8	2~3PCLKB	2ICLK
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2~3PCLKB	2ICLK
0008 C456h	RTC	BCNT2キャプチャレジスタ0	BCNT2CP0	8	8	2~3PCLKB	2ICLK
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2~3PCLKB	2ICLK
0008 C45Ah	RTC	BCNT3キャプチャレジスタ0	BCNT3CP0	8	8	2~3PCLKB	2ICLK
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2~3PCLKB	2ICLK
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2~3PCLKB	2ICLK
0008 C462h	RTC	BCNT0キャプチャレジスタ1	BCNT0CP1	8	8	2~3PCLKB	2ICLK
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2~3PCLKB	2ICLK
0008 C464h	RTC	BCNT1キャプチャレジスタ1	BCNT1CP1	8	8	2~3PCLKB	2ICLK
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2~3PCLKB	2ICLK
0008 C466h	RTC	BCNT2キャプチャレジスタ1	BCNT2CP1	8	8	2~3PCLKB	2ICLK
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK
0008 C46Ah	RTC	BCNT3キャプチャレジスタ1	BCNT3CP1	8	8	2~3PCLKB	2ICLK
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK
0008 C472h	RTC	BCNT0キャプチャレジスタ2	BCNT0CP2	8	8	2~3PCLKB	2ICLK
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK
0008 C474h	RTC	BCNT1キャプチャレジスタ2	BCNT1CP2	8	8	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (20/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK
0008 C476h	RTC	BCNT2キャプチャレジスタ2	BCNT2CP2	8	8	2~3PCLKB	2ICLK
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK
0008 C47Ah	RTC	BCNT3キャプチャレジスタ2	BCNT3CP2	8	8	2~3PCLKB	2ICLK
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2~3PCLKB	2ICLK
0008 C581h	CMPB	コンパレータB制御レジスタ2	CPBCNT2	8	8	2~3PCLKB	2ICLK
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2~3PCLKB	2ICLK
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2~3PCLKB	2ICLK
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2~3PCLKB	2ICLK
0008 C585h	CMPB	コンパレータBモード選択レジスタ	CPBMD	8	8	2~3PCLKB	2ICLK
0008 C586h	CMPB	コンパレータBリファレンス入力電圧選択レジスタ	CPBREF	8	8	2~3PCLKB	2ICLK
0008 C587h	CMPB	コンパレータB出力制御レジスタ	CPBOCR	8	8	2~3PCLKB	2ICLK
0008 C5A0h	CMPB	コンパレータB1制御レジスタ1	CPB1CNT1	8	8	2~3PCLKB	2ICLK
0008 C5A1h	CMPB	コンパレータB1制御レジスタ2	CPB1CNT2	8	8	2~3PCLKB	2ICLK
0008 C5A2h	CMPB	コンパレータB1フラグレジスタ	CPB1FLG	8	8	2~3PCLKB	2ICLK
0008 C5A3h	CMPB	コンパレータB1割り込み制御レジスタ	CPB1INT	8	8	2~3PCLKB	2ICLK
0008 C5A4h	CMPB	コンパレータB1フィルタ選択レジスタ	CPB1F	8	8	2~3PCLKB	2ICLK
0008 C5A5h	CMPB	コンパレータB1モード選択レジスタ	CPB1MD	8	8	2~3PCLKB	2ICLK
0008 C5A6h	CMPB	コンパレータB1リファレンス入力電圧選択レジスタ	CPB1REF	8	8	2~3PCLKB	2ICLK
0008 C5A7h	CMPB	コンパレータB1出力制御レジスタ	CPB1OCR	8	8	2~3PCLKB	2ICLK
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2ICLK
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSTS0	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の整数 切り上げ以上 (注2)
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の整数 切り上げ以上 (注2)
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	16	3~4PCLKB	2ICLK
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	16	3~4PCLKB	2ICLK
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	16	3~4PCLKB	2ICLK
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2ICLK
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2ICLK
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2ICLK
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2ICLK
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2ICLK
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2ICLK
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)

表4.1 I/O レジスタアドレス一覧 (21/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
000A 0040h	USB0	割り込みステータスレジスタ 0	INTSTS0	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0042h	USB0	割り込みステータスレジスタ 1	INTSTS1	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0046h	USB0	BRDY 割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0048h	USB0	NRDY 割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 004Ah	USB0	BEMP 割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 004Ch	USB0	フレームナンバーレジスタ	FRMNUM	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0054h	USB0	USB リクエストタイプレジスタ	USBREQ	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0056h	USB0	USB リクエストバリュレジスタ	USBVAL	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0058h	USB0	USB リクエストインデックスレジスタ	USBINDX	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 005Ah	USB0	USB リクエストレンクスレジスタ	USBLENG	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 005Ch	USB0	DCP コンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 005Eh	USB0	DCP マックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0060h	USB0	DCP コントロールレジスタ	DCPCTR	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB 以上	$1+9 \times (\text{ICLK/PCLKB}$ の周波数比) の周波 数 (注2)

表4.1 I/O レジスタアドレス一覧 (22/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00B0h	USB0	BCコントロールレジスタ0	USBBCCTRL 0	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00CCh	USB0	USBモジュール制御レジスタ	USBMC	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)

表4.1 I/O レジスタアドレス一覧 (23/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB以上	1+9×(ICLK/PCLKB の周波数比)の周波 数 (注2)
000A 0900h	CTSU	CTSU制御レジスタ0	CTSUCR0	8	8	2～3PCLKB	2ICLK
000A 0901h	CTSU	CTSU制御レジスタ1	CTSUCR1	8	8	2～3PCLKB	2ICLK
000A 0902h	CTSU	CTSU同期ノイズ低減設定レジスタ	CTSUSDPRS	8	8	2～3PCLKB	2ICLK
000A 0903h	CTSU	CTSUセンサ安定待ち時間レジスタ	CTSUSST	8	8	2～3PCLKB	2ICLK
000A 0904h	CTSU	CTSU計測チャンネルレジスタ0	CTSUMCH0	8	8	2～3PCLKB	2ICLK
000A 0905h	CTSU	CTSU計測チャンネルレジスタ1	CTSUMCH1	8	8	2～3PCLKB	2ICLK
000A 0906h	CTSU	CTSUチャンネル有効制御レジスタ0	CTSUCHAC0	8	8	2～3PCLKB	2ICLK
000A 0907h	CTSU	CTSUチャンネル有効制御レジスタ1	CTSUCHAC1	8	8	2～3PCLKB	2ICLK
000A 0908h	CTSU	CTSUチャンネル有効制御レジスタ2	CTSUCHAC2	8	8	2～3PCLKB	2ICLK
000A 0909h	CTSU	CTSUチャンネル有効制御レジスタ3	CTSUCHAC3	8	8	2～3PCLKB	2ICLK
000A 090Ah	CTSU	CTSUチャンネル有効制御レジスタ4	CTSUCHAC4	8	8	2～3PCLKB	2ICLK
000A 090Bh	CTSU	CTSUチャンネル送受信制御レジスタ0	CTSUCHTRC 0	8	8	2～3PCLKB	2ICLK
000A 090Ch	CTSU	CTSUチャンネル送受信制御レジスタ1	CTSUCHTRC 1	8	8	2～3PCLKB	2ICLK
000A 090Dh	CTSU	CTSUチャンネル送受信制御レジスタ2	CTSUCHTRC 2	8	8	2～3PCLKB	2ICLK
000A 090Eh	CTSU	CTSUチャンネル送受信制御レジスタ3	CTSUCHTRC 3	8	8	2～3PCLKB	2ICLK
000A 090Fh	CTSU	CTSUチャンネル送受信制御レジスタ4	CTSUCHTRC 4	8	8	2～3PCLKB	2ICLK
000A 0910h	CTSU	CTSU高域ノイズ低減制御レジスタ	CTSUDCLKC	8	8	2～3PCLKB	2ICLK
000A 0911h	CTSU	CTSUステータスレジスタ	CTSUST	8	8	2～3PCLKB	2ICLK
000A 0912h	CTSU	CTSU高域ノイズ低減スペクトラム拡散制御レジスタ	CTSUSSC	16	16	2～3PCLKB	2ICLK
000A 0914h	CTSU	CTSUセンサオフセットレジスタ0	CTSUSO0	16	16	2～3PCLKB	2ICLK
000A 0916h	CTSU	CTSUセンサオフセットレジスタ1	CTSUSO1	16	16	2～3PCLKB	2ICLK
000A 0918h	CTSU	CTSUセンサカウンタ	CTSUSC	16	16	2～3PCLKB	2ICLK
000A 091Ah	CTSU	CTSUリファレンスカウンタ	CTSURC	16	16	2～3PCLKB	2ICLK
000A 091Ch	CTSU	CTSUエラーステータスレジスタ	CTSUERRS	16	16	2～3PCLKB	2ICLK
000A 8300h	RSCAN0	ビットコンフィギュレーションレジスタL	CFGL	16	16	2～3PCLKB	2ICLK
000A 8302h	RSCAN0	ビットコンフィギュレーションレジスタH	CFGH	16	16	2～3PCLKB	2ICLK
000A 8304h	RSCAN0	制御レジスタL	CTRL	16	16	2～3PCLKB	2ICLK
000A 8306h	RSCAN0	制御レジスタH	CTRH	16	16	2～3PCLKB	2ICLK
000A 8308h	RSCAN0	ステータスレジスタL	STSL	16	16	2～3PCLKB	2ICLK
000A 830Ah	RSCAN0	ステータスレジスタH	STSH	16	16	2～3PCLKB	2ICLK
000A 830Ch	RSCAN0	エラーフラグレジスタL	ERFLL	16	16	2～3PCLKB	2ICLK
000A 830Eh	RSCAN0	エラーフラグレジスタH	ERFLH	16	16	2～3PCLKB	2ICLK
000A 8322h	RSCAN	グローバル設定レジスタL	GCFGL	16	16	2～3PCLKB	2ICLK
000A 8324h	RSCAN	グローバル設定レジスタH	GCFGH	16	16	2～3PCLKB	2ICLK
000A 8326h	RSCAN	グローバル制御レジスタL	GCTRL	16	16	2～3PCLKB	2ICLK
000A 8328h	RSCAN	グローバル制御レジスタH	GCTRH	16	16	2～3PCLKB	2ICLK
000A 832Ah	RSCAN	グローバルステータスレジスタ	GSTS	16	16	2～3PCLKB	2ICLK
000A 832Ch	RSCAN	グローバルエラーフラグレジスタ	GERFLL	8	8	2～3PCLKB	2ICLK
000A 832Eh	RSCAN	タイムスタンプレジスタ	GTSC	16	16	2～3PCLKB	2ICLK
000A 8330h	RSCAN	受信ルール数設定レジスタ	GAFLCFG	16	16	2～3PCLKB	2ICLK
000A 8332h	RSCAN	受信バッファ数設定レジスタ	RMNB	16	16	2～3PCLKB	2ICLK
000A 8334h	RSCAN	受信バッファ受信完了フラグレジスタ	RMND0	16	16	2～3PCLKB	2ICLK
000A 8338h	RSCAN	受信FIFO制御レジスタ0	RFCC0	16	16	2～3PCLKB	2ICLK
000A 833Ah	RSCAN	受信FIFO制御レジスタ1	RFCC1	16	16	2～3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (24/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 8340h	RSCAN	受信FIFOステータスレジスタ0	RFSTS0	16	16	2~3PCLKB	2ICLK
000A 8342h	RSCAN	受信FIFOステータスレジスタ1	RFSTS1	16	16	2~3PCLKB	2ICLK
000A 8348h	RSCAN	受信FIFOポインタ制御レジスタ0	RFPCTR0	16	16	2~3PCLKB	2ICLK
000A 834Ah	RSCAN	受信FIFOポインタ制御レジスタ1	RFPCTR1	16	16	2~3PCLKB	2ICLK
000A 8350h	RSCAN0	送受信FIFO制御レジスタ0L	CFCL0	16	16	2~3PCLKB	2ICLK
000A 8352h	RSCAN0	送受信FIFO制御レジスタ0H	CFCH0	16	16	2~3PCLKB	2ICLK
000A 8358h	RSCAN0	送受信FIFOステータスレジスタ0	CFSTS0	16	16	2~3PCLKB	2ICLK
000A 835Ch	RSCAN0	送受信FIFOポインタ制御レジスタ0	CFPCTR0	16	16	2~3PCLKB	2ICLK
000A 8360h	RSCAN	受信FIFOメッセージロスステータスレジスタ	RFMSTS	8	8	2~3PCLKB	2ICLK
000A 8361h	RSCAN0	送受信FIFOメッセージロスステータスレジスタ	CFMSTS	8	8	2~3PCLKB	2ICLK
000A 8362h	RSCAN	受信FIFO割り込みステータスレジスタ	RFISTS	8	8	2~3PCLKB	2ICLK
000A 8363h	RSCAN	送受信FIFO受信割り込みステータスレジスタ	CFISTS	8	8	2~3PCLKB	2ICLK
000A 8364h	RSCAN0	送信バッファ制御レジスタ0	TMC0	8	8	2~3PCLKB	2ICLK
000A 8365h	RSCAN0	送信バッファ制御レジスタ1	TMC1	8	8	2~3PCLKB	2ICLK
000A 8366h	RSCAN0	送信バッファ制御レジスタ2	TMC2	8	8	2~3PCLKB	2ICLK
000A 8367h	RSCAN0	送信バッファ制御レジスタ3	TMC3	8	8	2~3PCLKB	2ICLK
000A 836Ch	RSCAN0	送信バッファステータスレジスタ0	TMSTS0	8	8	2~3PCLKB	2ICLK
000A 836Dh	RSCAN0	送信バッファステータスレジスタ1	TMSTS1	8	8	2~3PCLKB	2ICLK
000A 836Eh	RSCAN0	送信バッファステータスレジスタ2	TMSTS2	8	8	2~3PCLKB	2ICLK
000A 836Fh	RSCAN0	送信バッファステータスレジスタ3	TMSTS3	8	8	2~3PCLKB	2ICLK
000A 8374h	RSCAN0	送信バッファ送信要求ステータスレジスタ	TMTRSTS	16	16	2~3PCLKB	2ICLK
000A 8376h	RSCAN0	送信バッファ送信完了ステータスレジスタ	TMTCASTS	16	16	2~3PCLKB	2ICLK
000A 8378h	RSCAN0	送信バッファ送信アボートステータスレジスタ	TMTASTS	16	16	2~3PCLKB	2ICLK
000A 837Ah	RSCAN0	送信バッファ割り込み許可レジスタ	TMIEC	16	16	2~3PCLKB	2ICLK
000A 837Ch	RSCAN0	送信履歴バッファ制御レジスタ	THLCC0	16	16	2~3PCLKB	2ICLK
000A 8380h	RSCAN0	送信履歴バッファステータスレジスタ	THLSTS0	16	16	2~3PCLKB	2ICLK
000A 8384h	RSCAN0	送信履歴バッファポインタ制御レジスタ	THLPCTR0	16	16	2~3PCLKB	2ICLK
000A 8388h	RSCAN	グローバル送信割り込みステータスレジスタ	GTINTSTS	16	16	2~3PCLKB	2ICLK
000A 838Ah	RSCAN	グローバルRAMウィンドウ制御レジスタ	GRWCR	16	16	2~3PCLKB	2ICLK
000A 838Ch	RSCAN	グローバルテスト設定レジスタ	GTSTCFG	16	16	2~3PCLKB	2ICLK
000A 838Eh	RSCAN	グローバルテスト制御レジスタ	GTSTCTRL	16	16	2~3PCLKB	2ICLK
000A 8394h	RSCAN	グローバルテストプロテクト解除レジスタ	GLOCKK	16	16	2~3PCLKB	2ICLK
000A 83A0h	RSCAN	受信ルール登録レジスタ0AL	GAFLIDL0	16	16	2~3PCLKB	2ICLK
000A 83A0h	RSCAN	受信バッファレジスタ0AL	RMIDL0	16	16	2~3PCLKB	2ICLK
000A 83A2h	RSCAN	受信ルール登録レジスタ0AH	GAFLIDH0	16	16	2~3PCLKB	2ICLK
000A 83A2h	RSCAN	受信バッファレジスタ0AH	RMIDH0	16	16	2~3PCLKB	2ICLK
000A 83A4h	RSCAN	受信ルール登録レジスタ0BL	GAFLML0	16	16	2~3PCLKB	2ICLK
000A 83A4h	RSCAN	受信バッファレジスタ0BL	RMTS0	16	16	2~3PCLKB	2ICLK
000A 83A6h	RSCAN	受信ルール登録レジスタ0BH	GAFLMH0	16	16	2~3PCLKB	2ICLK
000A 83A6h	RSCAN	受信バッファレジスタ0BH	RMPTR0	16	16	2~3PCLKB	2ICLK
000A 83A8h	RSCAN	受信ルール登録レジスタ0CL	GAFLPL0	16	16	2~3PCLKB	2ICLK
000A 83A8h	RSCAN	受信バッファレジスタ0CL	RMDF00	16	16	2~3PCLKB	2ICLK
000A 83AAh	RSCAN	受信ルール登録レジスタ0CH	GAFLPH0	16	16	2~3PCLKB	2ICLK
000A 83AAh	RSCAN	受信バッファレジスタ0CH	RMDF10	16	16	2~3PCLKB	2ICLK
000A 83ACh	RSCAN	受信ルール登録レジスタ1AL	GAFLIDL1	16	16	2~3PCLKB	2ICLK
000A 83ACh	RSCAN	受信バッファレジスタ0DL	RMDF20	16	16	2~3PCLKB	2ICLK
000A 83AEh	RSCAN	受信ルール登録レジスタ1AH	GAFLIDH1	16	16	2~3PCLKB	2ICLK
000A 83AEh	RSCAN	受信バッファレジスタ0DH	RMDF30	16	16	2~3PCLKB	2ICLK
000A 83B0h	RSCAN	受信ルール登録レジスタ1BL	GAFLML1	16	16	2~3PCLKB	2ICLK
000A 83B0h	RSCAN	受信バッファレジスタ1AL	RMIDL1	16	16	2~3PCLKB	2ICLK
000A 83B2h	RSCAN	受信ルール登録レジスタ1BH	GAFLMH1	16	16	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (25/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 83B2h	RSCAN	受信バッファレジスタ 1AH	RMIDH1	16	16	2～3PCLKB	2ICLK
000A 83B4h	RSCAN	受信ルール登録レジスタ 1CL	GAFLPL1	16	16	2～3PCLKB	2ICLK
000A 83B4h	RSCAN	受信バッファレジスタ 1BL	RMTS1	16	16	2～3PCLKB	2ICLK
000A 83B6h	RSCAN	受信ルール登録レジスタ 1CH	GAFLPH1	16	16	2～3PCLKB	2ICLK
000A 83B6h	RSCAN	受信バッファレジスタ 1BH	RMPTR1	16	16	2～3PCLKB	2ICLK
000A 83B8h	RSCAN	受信ルール登録レジスタ 2AL	GAFLDL2	16	16	2～3PCLKB	2ICLK
000A 83B8h	RSCAN	受信バッファレジスタ 1CL	RMDF01	16	16	2～3PCLKB	2ICLK
000A 83BAh	RSCAN	受信ルール登録レジスタ 2AH	GAFLDH2	16	16	2～3PCLKB	2ICLK
000A 83BAh	RSCAN	受信バッファレジスタ 1CH	RMDF11	16	16	2～3PCLKB	2ICLK
000A 83BCh	RSCAN	受信ルール登録レジスタ 2BL	GAFLML2	16	16	2～3PCLKB	2ICLK
000A 83BCh	RSCAN	受信バッファレジスタ 1DL	RMDF21	16	16	2～3PCLKB	2ICLK
000A 83BEh	RSCAN	受信ルール登録レジスタ 2BH	GAFLMH2	16	16	2～3PCLKB	2ICLK
000A 83BEh	RSCAN	受信バッファレジスタ 1DH	RMDF31	16	16	2～3PCLKB	2ICLK
000A 83C0h	RSCAN	受信ルール登録レジスタ 2CL	GAFLPL2	16	16	2～3PCLKB	2ICLK
000A 83C0h	RSCAN	受信バッファレジスタ 2AL	RMIDL2	16	16	2～3PCLKB	2ICLK
000A 83C2h	RSCAN	受信ルール登録レジスタ 2CH	GAFLPH2	16	16	2～3PCLKB	2ICLK
000A 83C2h	RSCAN	受信バッファレジスタ 2AH	RMIDH2	16	16	2～3PCLKB	2ICLK
000A 83C4h	RSCAN	受信ルール登録レジスタ 3AL	GAFLDL3	16	16	2～3PCLKB	2ICLK
000A 83C4h	RSCAN	受信バッファレジスタ 2BL	RMTS2	16	16	2～3PCLKB	2ICLK
000A 83C6h	RSCAN	受信ルール登録レジスタ 3AH	GAFLDH3	16	16	2～3PCLKB	2ICLK
000A 83C6h	RSCAN	受信バッファレジスタ 2BH	RMPTR2	16	16	2～3PCLKB	2ICLK
000A 83C8h	RSCAN	受信ルール登録レジスタ 3BL	GAFLML3	16	16	2～3PCLKB	2ICLK
000A 83C8h	RSCAN	受信バッファレジスタ 2CL	RMDF02	16	16	2～3PCLKB	2ICLK
000A 83CAh	RSCAN	受信ルール登録レジスタ 3BH	GAFLMH3	16	16	2～3PCLKB	2ICLK
000A 83CAh	RSCAN	受信バッファレジスタ 2CH	RMDF12	16	16	2～3PCLKB	2ICLK
000A 83CCh	RSCAN	受信ルール登録レジスタ 3CL	GAFLPL3	16	16	2～3PCLKB	2ICLK
000A 83CCh	RSCAN	受信バッファレジスタ 2DL	RMDF22	16	16	2～3PCLKB	2ICLK
000A 83CEh	RSCAN	受信ルール登録レジスタ 3CH	GAFLPH3	16	16	2～3PCLKB	2ICLK
000A 83CEh	RSCAN	受信バッファレジスタ 2DH	RMDF32	16	16	2～3PCLKB	2ICLK
000A 83D0h	RSCAN	受信ルール登録レジスタ 4AL	GAFLDL4	16	16	2～3PCLKB	2ICLK
000A 83D0h	RSCAN	受信バッファレジスタ 3AL	RMIDL3	16	16	2～3PCLKB	2ICLK
000A 83D2h	RSCAN	受信ルール登録レジスタ 4AH	GAFLDH4	16	16	2～3PCLKB	2ICLK
000A 83D2h	RSCAN	受信バッファレジスタ 3AH	RMIDH3	16	16	2～3PCLKB	2ICLK
000A 83D4h	RSCAN	受信ルール登録レジスタ 4BL	GAFLML4	16	16	2～3PCLKB	2ICLK
000A 83D4h	RSCAN	受信バッファレジスタ 3BL	RMTS3	16	16	2～3PCLKB	2ICLK
000A 83D6h	RSCAN	受信ルール登録レジスタ 4BH	GAFLMH4	16	16	2～3PCLKB	2ICLK
000A 83D6h	RSCAN	受信バッファレジスタ 3BH	RMPTR3	16	16	2～3PCLKB	2ICLK
000A 83D8h	RSCAN	受信ルール登録レジスタ 4CL	GAFLPL4	16	16	2～3PCLKB	2ICLK
000A 83D8h	RSCAN	受信バッファレジスタ 3CL	RMDF03	16	16	2～3PCLKB	2ICLK
000A 83DAh	RSCAN	受信ルール登録レジスタ 4CH	GAFLPH4	16	16	2～3PCLKB	2ICLK
000A 83DAh	RSCAN	受信バッファレジスタ 3CH	RMDF13	16	16	2～3PCLKB	2ICLK
000A 83DCh	RSCAN	受信ルール登録レジスタ 5AL	GAFLDL5	16	16	2～3PCLKB	2ICLK
000A 83DCh	RSCAN	受信バッファレジスタ 3DL	RMDF23	16	16	2～3PCLKB	2ICLK
000A 83DEh	RSCAN	受信ルール登録レジスタ 5AH	GAFLDH5	16	16	2～3PCLKB	2ICLK
000A 83DEh	RSCAN	受信バッファレジスタ 3DH	RMDF33	16	16	2～3PCLKB	2ICLK
000A 83E0h	RSCAN	受信ルール登録レジスタ 5BL	GAFLML5	16	16	2～3PCLKB	2ICLK
000A 83E0h	RSCAN	受信バッファレジスタ 4AL	RMIDL4	16	16	2～3PCLKB	2ICLK
000A 83E2h	RSCAN	受信ルール登録レジスタ 5BH	GAFLMH5	16	16	2～3PCLKB	2ICLK
000A 83E2h	RSCAN	受信バッファレジスタ 4AH	RMIDH4	16	16	2～3PCLKB	2ICLK
000A 83E4h	RSCAN	受信ルール登録レジスタ 5CL	GAFLPL5	16	16	2～3PCLKB	2ICLK
000A 83E4h	RSCAN	受信バッファレジスタ 4BL	RMTS4	16	16	2～3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (26/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 83E6h	RSCAN	受信ルール登録レジスタ 5CH	GAFLPH5	16	16	2~3PCLKB	2ICLK
000A 83E6h	RSCAN	受信バッファレジスタ 4BH	RMPTR4	16	16	2~3PCLKB	2ICLK
000A 83E8h	RSCAN	受信ルール登録レジスタ 6AL	GAFLIDL6	16	16	2~3PCLKB	2ICLK
000A 83E8h	RSCAN	受信バッファレジスタ 4CL	RMDF04	16	16	2~3PCLKB	2ICLK
000A 83EAh	RSCAN	受信ルール登録レジスタ 6AH	GAFLIDH6	16	16	2~3PCLKB	2ICLK
000A 83EAh	RSCAN	受信バッファレジスタ 4CH	RMDF14	16	16	2~3PCLKB	2ICLK
000A 83ECh	RSCAN	受信ルール登録レジスタ 6BL	GAFLML6	16	16	2~3PCLKB	2ICLK
000A 83ECh	RSCAN	受信バッファレジスタ 4DL	RMDF24	16	16	2~3PCLKB	2ICLK
000A 83EEh	RSCAN	受信ルール登録レジスタ 6BH	GAFLMH6	16	16	2~3PCLKB	2ICLK
000A 83EEh	RSCAN	受信バッファレジスタ 4DH	RMDF34	16	16	2~3PCLKB	2ICLK
000A 83F0h	RSCAN	受信ルール登録レジスタ 6CL	GAFLPL6	16	16	2~3PCLKB	2ICLK
000A 83F0h	RSCAN	受信バッファレジスタ 5AL	RMIDL5	16	16	2~3PCLKB	2ICLK
000A 83F2h	RSCAN	受信ルール登録レジスタ 6CH	GAFLPH6	16	16	2~3PCLKB	2ICLK
000A 83F2h	RSCAN	受信バッファレジスタ 5AH	RMIDH5	16	16	2~3PCLKB	2ICLK
000A 83F4h	RSCAN	受信ルール登録レジスタ 7AL	GAFLIDL7	16	16	2~3PCLKB	2ICLK
000A 83F4h	RSCAN	受信バッファレジスタ 5BL	RMTS5	16	16	2~3PCLKB	2ICLK
000A 83F6h	RSCAN	受信ルール登録レジスタ 7AH	GAFLIDH7	16	16	2~3PCLKB	2ICLK
000A 83F6h	RSCAN	受信バッファレジスタ 5BH	RMPTR5	16	16	2~3PCLKB	2ICLK
000A 83F8h	RSCAN	受信ルール登録レジスタ 7BL	GAFLML7	16	16	2~3PCLKB	2ICLK
000A 83F8h	RSCAN	受信バッファレジスタ 5CL	RMDF05	16	16	2~3PCLKB	2ICLK
000A 83FAh	RSCAN	受信ルール登録レジスタ 7BH	GAFLMH7	16	16	2~3PCLKB	2ICLK
000A 83FAh	RSCAN	受信バッファレジスタ 5CH	RMDF15	16	16	2~3PCLKB	2ICLK
000A 83FCh	RSCAN	受信ルール登録レジスタ 7CL	GAFLPL7	16	16	2~3PCLKB	2ICLK
000A 83FCh	RSCAN	受信バッファレジスタ 5DL	RMDF25	16	16	2~3PCLKB	2ICLK
000A 83FEh	RSCAN	受信ルール登録レジスタ 7CH	GAFLPH7	16	16	2~3PCLKB	2ICLK
000A 83FEh	RSCAN	受信バッファレジスタ 5DH	RMDF35	16	16	2~3PCLKB	2ICLK
000A 8400h	RSCAN	受信ルール登録レジスタ 8AL	GAFLIDL8	16	16	2~3PCLKB	2ICLK
000A 8400h	RSCAN	受信バッファレジスタ 6AL	RMIDL6	16	16	2~3PCLKB	2ICLK
000A 8402h	RSCAN	受信ルール登録レジスタ 8AH	GAFLIDH8	16	16	2~3PCLKB	2ICLK
000A 8402h	RSCAN	受信バッファレジスタ 6AH	RMIDH6	16	16	2~3PCLKB	2ICLK
000A 8404h	RSCAN	受信ルール登録レジスタ 8BL	GAFLML8	16	16	2~3PCLKB	2ICLK
000A 8404h	RSCAN	受信バッファレジスタ 6BL	RMTS6	16	16	2~3PCLKB	2ICLK
000A 8406h	RSCAN	受信ルール登録レジスタ 8BH	GAFLMH8	16	16	2~3PCLKB	2ICLK
000A 8406h	RSCAN	受信バッファレジスタ 6BH	RMPTR6	16	16	2~3PCLKB	2ICLK
000A 8408h	RSCAN	受信ルール登録レジスタ 8CL	GAFLPL8	16	16	2~3PCLKB	2ICLK
000A 8408h	RSCAN	受信バッファレジスタ 6CL	RMDF06	16	16	2~3PCLKB	2ICLK
000A 840Ah	RSCAN	受信ルール登録レジスタ 8CH	GAFLPH8	16	16	2~3PCLKB	2ICLK
000A 840Ah	RSCAN	受信バッファレジスタ 6CH	RMDF16	16	16	2~3PCLKB	2ICLK
000A 840Ch	RSCAN	受信ルール登録レジスタ 9AL	GAFLIDL9	16	16	2~3PCLKB	2ICLK
000A 840Ch	RSCAN	受信バッファレジスタ 6DL	RMDF26	16	16	2~3PCLKB	2ICLK
000A 840Eh	RSCAN	受信ルール登録レジスタ 9AH	GAFLIDH9	16	16	2~3PCLKB	2ICLK
000A 840Eh	RSCAN	受信バッファレジスタ 6DH	RMDF36	16	16	2~3PCLKB	2ICLK
000A 8410h	RSCAN	受信ルール登録レジスタ 9BL	GAFLML9	16	16	2~3PCLKB	2ICLK
000A 8410h	RSCAN	受信バッファレジスタ 7AL	RMIDL7	16	16	2~3PCLKB	2ICLK
000A 8412h	RSCAN	受信ルール登録レジスタ 9BH	GAFLMH9	16	16	2~3PCLKB	2ICLK
000A 8412h	RSCAN	受信バッファレジスタ 7AH	RMIDH7	16	16	2~3PCLKB	2ICLK
000A 8414h	RSCAN	受信ルール登録レジスタ 9CL	GAFLPL9	16	16	2~3PCLKB	2ICLK
000A 8414h	RSCAN	受信バッファレジスタ 7BL	RMTS7	16	16	2~3PCLKB	2ICLK
000A 8416h	RSCAN	受信ルール登録レジスタ 9CH	GAFLPH9	16	16	2~3PCLKB	2ICLK
000A 8416h	RSCAN	受信バッファレジスタ 7BH	RMPTR7	16	16	2~3PCLKB	2ICLK
000A 8418h	RSCAN	受信ルール登録レジスタ 10AL	GAFLIDL10	16	16	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (27/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 8418h	RSCAN	受信バッファレジスタ 7CL	RMDF07	16	16	2~3PCLKB	2ICLK
000A 841Ah	RSCAN	受信ルール登録レジスタ 10AH	GAFLIDH10	16	16	2~3PCLKB	2ICLK
000A 841Ah	RSCAN	受信バッファレジスタ 7CH	RMDF17	16	16	2~3PCLKB	2ICLK
000A 841Ch	RSCAN	受信ルール登録レジスタ 10BL	GAFLML10	16	16	2~3PCLKB	2ICLK
000A 841Ch	RSCAN	受信バッファレジスタ 7DL	RMDF27	16	16	2~3PCLKB	2ICLK
000A 841Eh	RSCAN	受信ルール登録レジスタ 10BH	GAFLMH10	16	16	2~3PCLKB	2ICLK
000A 841Eh	RSCAN	受信バッファレジスタ 7DH	RMDF37	16	16	2~3PCLKB	2ICLK
000A 8420h	RSCAN	受信ルール登録レジスタ 10CL	GAFLPL10	16	16	2~3PCLKB	2ICLK
000A 8420h	RSCAN	受信バッファレジスタ 8AL	RMIDL8	16	16	2~3PCLKB	2ICLK
000A 8422h	RSCAN	受信ルール登録レジスタ 10CH	GAFLPH10	16	16	2~3PCLKB	2ICLK
000A 8422h	RSCAN	受信バッファレジスタ 8AH	RMIDH8	16	16	2~3PCLKB	2ICLK
000A 8424h	RSCAN	受信ルール登録レジスタ 11AL	GAFLIDL11	16	16	2~3PCLKB	2ICLK
000A 8424h	RSCAN	受信バッファレジスタ 8BL	RMTS8	16	16	2~3PCLKB	2ICLK
000A 8426h	RSCAN	受信ルール登録レジスタ 11AH	GAFLIDH11	16	16	2~3PCLKB	2ICLK
000A 8426h	RSCAN	受信バッファレジスタ 8BH	RMPTR8	16	16	2~3PCLKB	2ICLK
000A 8428h	RSCAN	受信ルール登録レジスタ 11BL	GAFLML11	16	16	2~3PCLKB	2ICLK
000A 8428h	RSCAN	受信バッファレジスタ 8CL	RMDF08	16	16	2~3PCLKB	2ICLK
000A 842Ah	RSCAN	受信ルール登録レジスタ 11BH	GAFLMH11	16	16	2~3PCLKB	2ICLK
000A 842Ah	RSCAN	受信バッファレジスタ 8CH	RMDF18	16	16	2~3PCLKB	2ICLK
000A 842Ch	RSCAN	受信ルール登録レジスタ 11CL	GAFLPL11	16	16	2~3PCLKB	2ICLK
000A 842Ch	RSCAN	受信バッファレジスタ 8DL	RMDF28	16	16	2~3PCLKB	2ICLK
000A 842Eh	RSCAN	受信ルール登録レジスタ 11CH	GAFLPH11	16	16	2~3PCLKB	2ICLK
000A 842Eh	RSCAN	受信バッファレジスタ 8DH	RMDF38	16	16	2~3PCLKB	2ICLK
000A 8430h	RSCAN	受信ルール登録レジスタ 12AL	GAFLIDL12	16	16	2~3PCLKB	2ICLK
000A 8430h	RSCAN	受信バッファレジスタ 9AL	RMIDL9	16	16	2~3PCLKB	2ICLK
000A 8432h	RSCAN	受信ルール登録レジスタ 12AH	GAFLIDH12	16	16	2~3PCLKB	2ICLK
000A 8432h	RSCAN	受信バッファレジスタ 9AH	RMIDH9	16	16	2~3PCLKB	2ICLK
000A 8434h	RSCAN	受信ルール登録レジスタ 12BL	GAFLML12	16	16	2~3PCLKB	2ICLK
000A 8434h	RSCAN	受信バッファレジスタ 9BL	RMTS9	16	16	2~3PCLKB	2ICLK
000A 8436h	RSCAN	受信ルール登録レジスタ 12BH	GAFLMH12	16	16	2~3PCLKB	2ICLK
000A 8436h	RSCAN	受信バッファレジスタ 9BH	RMPTR9	16	16	2~3PCLKB	2ICLK
000A 8438h	RSCAN	受信ルール登録レジスタ 12CL	GAFLPL12	16	16	2~3PCLKB	2ICLK
000A 8438h	RSCAN	受信バッファレジスタ 9CL	RMDF09	16	16	2~3PCLKB	2ICLK
000A 843Ah	RSCAN	受信ルール登録レジスタ 12CH	GAFLPH12	16	16	2~3PCLKB	2ICLK
000A 843Ah	RSCAN	受信バッファレジスタ 9CH	RMDF19	16	16	2~3PCLKB	2ICLK
000A 843Ch	RSCAN	受信ルール登録レジスタ 13AL	GAFLIDL13	16	16	2~3PCLKB	2ICLK
000A 843Ch	RSCAN	受信バッファレジスタ 9DL	RMDF29	16	16	2~3PCLKB	2ICLK
000A 843Eh	RSCAN	受信ルール登録レジスタ 13AH	GAFLIDH13	16	16	2~3PCLKB	2ICLK
000A 843Eh	RSCAN	受信バッファレジスタ 9DH	RMDF39	16	16	2~3PCLKB	2ICLK
000A 8440h	RSCAN	受信ルール登録レジスタ 13BL	GAFLML13	16	16	2~3PCLKB	2ICLK
000A 8440h	RSCAN	受信バッファレジスタ 10AL	RMIDL10	16	16	2~3PCLKB	2ICLK
000A 8442h	RSCAN	受信ルール登録レジスタ 13BH	GAFLMH13	16	16	2~3PCLKB	2ICLK
000A 8442h	RSCAN	受信バッファレジスタ 10AH	RMIDH10	16	16	2~3PCLKB	2ICLK
000A 8444h	RSCAN	受信ルール登録レジスタ 13CL	GAFLPL13	16	16	2~3PCLKB	2ICLK
000A 8444h	RSCAN	受信バッファレジスタ 10BL	RMTS10	16	16	2~3PCLKB	2ICLK
000A 8446h	RSCAN	受信ルール登録レジスタ 13CH	GAFLPH13	16	16	2~3PCLKB	2ICLK
000A 8446h	RSCAN	受信バッファレジスタ 10BH	RMPTR10	16	16	2~3PCLKB	2ICLK
000A 8448h	RSCAN	受信ルール登録レジスタ 14AL	GAFLIDL14	16	16	2~3PCLKB	2ICLK
000A 8448h	RSCAN	受信バッファレジスタ 10CL	RMDF010	16	16	2~3PCLKB	2ICLK
000A 844Ah	RSCAN	受信ルール登録レジスタ 14AH	GAFLIDH14	16	16	2~3PCLKB	2ICLK
000A 844Ah	RSCAN	受信バッファレジスタ 10CH	RMDF110	16	16	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (28/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 844Ch	RSCAN	受信ルール登録レジスタ 14BL	GAFLML14	16	16	2~3PCLKB	2ICLK
000A 844Ch	RSCAN	受信バッファレジスタ 10DL	RMDF210	16	16	2~3PCLKB	2ICLK
000A 844Eh	RSCAN	受信ルール登録レジスタ 14BH	GAFLMH14	16	16	2~3PCLKB	2ICLK
000A 844Eh	RSCAN	受信バッファレジスタ 10DH	RMDF310	16	16	2~3PCLKB	2ICLK
000A 8450h	RSCAN	受信ルール登録レジスタ 14CL	GAFLPL14	16	16	2~3PCLKB	2ICLK
000A 8450h	RSCAN	受信バッファレジスタ 11AL	RMIDL11	16	16	2~3PCLKB	2ICLK
000A 8452h	RSCAN	受信ルール登録レジスタ 14CH	GAFLPH14	16	16	2~3PCLKB	2ICLK
000A 8452h	RSCAN	受信バッファレジスタ 11AH	RMIDH11	16	16	2~3PCLKB	2ICLK
000A 8454h	RSCAN	受信ルール登録レジスタ 15AL	GAFLIDL15	16	16	2~3PCLKB	2ICLK
000A 8454h	RSCAN	受信バッファレジスタ 11BL	RMTS11	16	16	2~3PCLKB	2ICLK
000A 8456h	RSCAN	受信ルール登録レジスタ 15AH	GAFLIDH15	16	16	2~3PCLKB	2ICLK
000A 8456h	RSCAN	受信バッファレジスタ 11BH	RMPTR11	16	16	2~3PCLKB	2ICLK
000A 8458h	RSCAN	受信ルール登録レジスタ 15BL	GAFLML15	16	16	2~3PCLKB	2ICLK
000A 8458h	RSCAN	受信バッファレジスタ 11CL	RMDF011	16	16	2~3PCLKB	2ICLK
000A 845Ah	RSCAN	受信ルール登録レジスタ 15BH	GAFLMH15	16	16	2~3PCLKB	2ICLK
000A 845Ah	RSCAN	受信バッファレジスタ 11CH	RMDF111	16	16	2~3PCLKB	2ICLK
000A 845Ch	RSCAN	受信ルール登録レジスタ 15CL	GAFLPL15	16	16	2~3PCLKB	2ICLK
000A 845Ch	RSCAN	受信バッファレジスタ 11DL	RMDF211	16	16	2~3PCLKB	2ICLK
000A 845Eh	RSCAN	受信ルール登録レジスタ 15CH	GAFLPH15	16	16	2~3PCLKB	2ICLK
000A 845Eh	RSCAN	受信バッファレジスタ 11DH	RMDF311	16	16	2~3PCLKB	2ICLK
000A 8460h	RSCAN	受信バッファレジスタ 12AL	RMIDL12	16	16	2~3PCLKB	2ICLK
000A 8462h	RSCAN	受信バッファレジスタ 12AH	RMIDH12	16	16	2~3PCLKB	2ICLK
000A 8464h	RSCAN	受信バッファレジスタ 12BL	RMTS12	16	16	2~3PCLKB	2ICLK
000A 8466h	RSCAN	受信バッファレジスタ 12BH	RMPTR12	16	16	2~3PCLKB	2ICLK
000A 8468h	RSCAN	受信バッファレジスタ 12CL	RMDF012	16	16	2~3PCLKB	2ICLK
000A 846Ah	RSCAN	受信バッファレジスタ 12CH	RMDF112	16	16	2~3PCLKB	2ICLK
000A 846Ch	RSCAN	受信バッファレジスタ 12DL	RMDF212	16	16	2~3PCLKB	2ICLK
000A 846Eh	RSCAN	受信バッファレジスタ 12DH	RMDF312	16	16	2~3PCLKB	2ICLK
000A 8470h	RSCAN	受信バッファレジスタ 13AL	RMIDL13	16	16	2~3PCLKB	2ICLK
000A 8472h	RSCAN	受信バッファレジスタ 13AH	RMIDH13	16	16	2~3PCLKB	2ICLK
000A 8474h	RSCAN	受信バッファレジスタ 13BL	RMTS13	16	16	2~3PCLKB	2ICLK
000A 8476h	RSCAN	受信バッファレジスタ 13BH	RMPTR13	16	16	2~3PCLKB	2ICLK
000A 8478h	RSCAN	受信バッファレジスタ 13CL	RMDF013	16	16	2~3PCLKB	2ICLK
000A 847Ah	RSCAN	受信バッファレジスタ 13CH	RMDF113	16	16	2~3PCLKB	2ICLK
000A 847Ch	RSCAN	受信バッファレジスタ 13DL	RMDF213	16	16	2~3PCLKB	2ICLK
000A 847Eh	RSCAN	受信バッファレジスタ 13DH	RMDF313	16	16	2~3PCLKB	2ICLK
000A 8480h	RSCAN	受信バッファレジスタ 14AL	RMIDL14	16	16	2~3PCLKB	2ICLK
000A 8482h	RSCAN	受信バッファレジスタ 14AH	RMIDH14	16	16	2~3PCLKB	2ICLK
000A 8484h	RSCAN	受信バッファレジスタ 14BL	RMTS14	16	16	2~3PCLKB	2ICLK
000A 8486h	RSCAN	受信バッファレジスタ 14BH	RMPTR14	16	16	2~3PCLKB	2ICLK
000A 8488h	RSCAN	受信バッファレジスタ 14CL	RMDF014	16	16	2~3PCLKB	2ICLK
000A 848Ah	RSCAN	受信バッファレジスタ 14CH	RMDF114	16	16	2~3PCLKB	2ICLK
000A 848Ch	RSCAN	受信バッファレジスタ 14DL	RMDF214	16	16	2~3PCLKB	2ICLK
000A 848Eh	RSCAN	受信バッファレジスタ 14DH	RMDF314	16	16	2~3PCLKB	2ICLK
000A 8490h	RSCAN	受信バッファレジスタ 15AL	RMIDL15	16	16	2~3PCLKB	2ICLK
000A 8492h	RSCAN	受信バッファレジスタ 15AH	RMIDH15	16	16	2~3PCLKB	2ICLK
000A 8494h	RSCAN	受信バッファレジスタ 15BL	RMTS15	16	16	2~3PCLKB	2ICLK
000A 8496h	RSCAN	受信バッファレジスタ 15BH	RMPTR15	16	16	2~3PCLKB	2ICLK
000A 8498h	RSCAN	受信バッファレジスタ 15CL	RMDF015	16	16	2~3PCLKB	2ICLK
000A 849Ah	RSCAN	受信バッファレジスタ 15CH	RMDF115	16	16	2~3PCLKB	2ICLK
000A 849Ch	RSCAN	受信バッファレジスタ 15DL	RMDF215	16	16	2~3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (29/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000A 849Eh	RSCAN	受信バッファレジスタ 15DH	RMDF315	16	16	2～3PCLKB	2ICLK
000A 8580h～ 000A 859Fh	RSCAN	RAMテストレジスタ0～RAMテストレジスタ15	RPGACC0～ RPGACC15	16	16	2～3PCLKB	2ICLK
000A 85A0h	RSCAN	受信FIFOアクセスレジスタ0AL	RFIDL0	16	16	2～3PCLKB	2ICLK
000A 85A0h	RSCAN	RAMテストレジスタ16	RPGACC16	16	16	2～3PCLKB	2ICLK
000A 85A2h	RSCAN	受信FIFOアクセスレジスタ0AH	RFIDH0	16	16	2～3PCLKB	2ICLK
000A 85A2h	RSCAN	RAMテストレジスタ17	RPGACC17	16	16	2～3PCLKB	2ICLK
000A 85A4h	RSCAN	受信FIFOアクセスレジスタ0BL	RFTS0	16	16	2～3PCLKB	2ICLK
000A 85A4h	RSCAN	RAMテストレジスタ18	RPGACC18	16	16	2～3PCLKB	2ICLK
000A 85A6h	RSCAN	受信FIFOアクセスレジスタ0BH	RFPTR0	16	16	2～3PCLKB	2ICLK
000A 85A6h	RSCAN	RAMテストレジスタ19	RPGACC19	16	16	2～3PCLKB	2ICLK
000A 85A8h	RSCAN	受信FIFOアクセスレジスタ0CL	RFDF00	16	16	2～3PCLKB	2ICLK
000A 85A8h	RSCAN	RAMテストレジスタ20	RPGACC20	16	16	2～3PCLKB	2ICLK
000A 85AAh	RSCAN	受信FIFOアクセスレジスタ0CH	RFDF10	16	16	2～3PCLKB	2ICLK
000A 85AAh	RSCAN	RAMテストレジスタ21	RPGACC21	16	16	2～3PCLKB	2ICLK
000A 85ACh	RSCAN	受信FIFOアクセスレジスタ0DL	RFDF20	16	16	2～3PCLKB	2ICLK
000A 85ACh	RSCAN	RAMテストレジスタ22	RPGACC22	16	16	2～3PCLKB	2ICLK
000A 85AEh	RSCAN	受信FIFOアクセスレジスタ0DH	RFDF30	16	16	2～3PCLKB	2ICLK
000A 85AEh	RSCAN	RAMテストレジスタ23	RPGACC23	16	16	2～3PCLKB	2ICLK
000A 85B0h	RSCAN	受信FIFOアクセスレジスタ1AL	RFIDL1	16	16	2～3PCLKB	2ICLK
000A 85B0h	RSCAN	RAMテストレジスタ24	RPGACC24	16	16	2～3PCLKB	2ICLK
000A 85B2h	RSCAN	受信FIFOアクセスレジスタ1AH	RFIDH1	16	16	2～3PCLKB	2ICLK
000A 85B2h	RSCAN	RAMテストレジスタ25	RPGACC25	16	16	2～3PCLKB	2ICLK
000A 85B4h	RSCAN	受信FIFOアクセスレジスタ1BL	RFTS1	16	16	2～3PCLKB	2ICLK
000A 85B4h	RSCAN	RAMテストレジスタ26	RPGACC26	16	16	2～3PCLKB	2ICLK
000A 85B6h	RSCAN	受信FIFOアクセスレジスタ1BH	RFPTR1	16	16	2～3PCLKB	2ICLK
000A 85B6h	RSCAN	RAMテストレジスタ27	RPGACC27	16	16	2～3PCLKB	2ICLK
000A 85B8h	RSCAN	受信FIFOアクセスレジスタ1CL	RFDF01	16	16	2～3PCLKB	2ICLK
000A 85B8h	RSCAN	RAMテストレジスタ28	RPGACC28	16	16	2～3PCLKB	2ICLK
000A 85BAh	RSCAN	受信FIFOアクセスレジスタ1CH	RFDF11	16	16	2～3PCLKB	2ICLK
000A 85BAh	RSCAN	RAMテストレジスタ29	RPGACC29	16	16	2～3PCLKB	2ICLK
000A 85BCh	RSCAN	受信FIFOアクセスレジスタ1DL	RFDF21	16	16	2～3PCLKB	2ICLK
000A 85BCh	RSCAN	RAMテストレジスタ30	RPGACC30	16	16	2～3PCLKB	2ICLK
000A 85BEh	RSCAN	受信FIFOアクセスレジスタ1DH	RFDF31	16	16	2～3PCLKB	2ICLK
000A 85BEh	RSCAN	RAMテストレジスタ31	RPGACC31	16	16	2～3PCLKB	2ICLK
000A 85C0h～ 000A 85DEh	RSCAN	RAMテストレジスタ32～RAMテストレジスタ47	RPGACC32～ RPGACC47	16	16	2～3PCLKB	2ICLK
000A 85E0h	RSCAN0	送受信FIFOアクセスレジスタ0AL	CFIDL0	16	16	2～3PCLKB	2ICLK
000A 85E0h	RSCAN	RAMテストレジスタ48	RPGACC48	16	16	2～3PCLKB	2ICLK
000A 85E2h	RSCAN0	送受信FIFOアクセスレジスタ0AH	CFIDH0	16	16	2～3PCLKB	2ICLK
000A 85E2h	RSCAN	RAMテストレジスタ49	RPGACC49	16	16	2～3PCLKB	2ICLK
000A 85E4h	RSCAN0	送受信FIFOアクセスレジスタ0BL	CFTS0	16	16	2～3PCLKB	2ICLK
000A 85E4h	RSCAN	RAMテストレジスタ50	RPGACC50	16	16	2～3PCLKB	2ICLK
000A 85E6h	RSCAN0	送受信FIFOアクセスレジスタ0BH	CFPTR0	16	16	2～3PCLKB	2ICLK
000A 85E6h	RSCAN	RAMテストレジスタ51	RPGACC51	16	16	2～3PCLKB	2ICLK
000A 85E8h	RSCAN0	送受信FIFOアクセスレジスタ0CL	CFDF00	16	16	2～3PCLKB	2ICLK
000A 85E8h	RSCAN	RAMテストレジスタ52	RPGACC52	16	16	2～3PCLKB	2ICLK
000A 85EAh	RSCAN0	送受信FIFOアクセスレジスタ0CH	CFDF10	16	16	2～3PCLKB	2ICLK
000A 85EAh	RSCAN	RAMテストレジスタ53	RPGACC53	16	16	2～3PCLKB	2ICLK
000A 85ECh	RSCAN0	送受信FIFOアクセスレジスタ0DL	CFDF20	16	16	2～3PCLKB	2ICLK
000A 85ECh	RSCAN	RAMテストレジスタ54	RPGACC54	16	16	2～3PCLKB	2ICLK
000A 85EEh	RSCAN0	送受信FIFOアクセスレジスタ0DH	CFDF30	16	16	2～3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (30/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
000A 85EEh	RSCAN	RAM テストレジスタ 55	RPGACC55	16	16	2 ~ 3PCLKB	2ICLK
000A 85F0h ~ 000A 85FEh	RSCAN	RAM テストレジスタ 56 ~ RAM テストレジスタ 63	RPGACC56 ~ RPGACC63	16	16	2 ~ 3PCLKB	2ICLK
000A 8600h	RSCAN0	送信バッファレジスタ 0AL	TMIDL0	16	16	2 ~ 3PCLKB	2ICLK
000A 8600h	RSCAN	RAM テストレジスタ 64	RPGACC64	16	16	2 ~ 3PCLKB	2ICLK
000A 8602h	RSCAN0	送信バッファレジスタ 0AH	TMIDH0	16	16	2 ~ 3PCLKB	2ICLK
000A 8602h	RSCAN	RAM テストレジスタ 65	RPGACC65	16	16	2 ~ 3PCLKB	2ICLK
000A 8604h	RSCAN	RAM テストレジスタ 66	RPGACC66	16	16	2 ~ 3PCLKB	2ICLK
000A 8606h	RSCAN0	送信バッファレジスタ 0BH	TMPTR0	16	16	2 ~ 3PCLKB	2ICLK
000A 8606h	RSCAN	RAM テストレジスタ 67	RPGACC67	16	16	2 ~ 3PCLKB	2ICLK
000A 8608h	RSCAN0	送信バッファレジスタ 0CL	TMDF00	16	16	2 ~ 3PCLKB	2ICLK
000A 8608h	RSCAN	RAM テストレジスタ 68	RPGACC68	16	16	2 ~ 3PCLKB	2ICLK
000A 860Ah	RSCAN0	送信バッファレジスタ 0CH	TMDF10	16	16	2 ~ 3PCLKB	2ICLK
000A 860Ah	RSCAN	RAM テストレジスタ 69	RPGACC69	16	16	2 ~ 3PCLKB	2ICLK
000A 860Ch	RSCAN0	送信バッファレジスタ 0DL	TMDF20	16	16	2 ~ 3PCLKB	2ICLK
000A 860Ch	RSCAN	RAM テストレジスタ 70	RPGACC70	16	16	2 ~ 3PCLKB	2ICLK
000A 860Eh	RSCAN0	送信バッファレジスタ 0DH	TMDF30	16	16	2 ~ 3PCLKB	2ICLK
000A 860Eh	RSCAN	RAM テストレジスタ 71	RPGACC71	16	16	2 ~ 3PCLKB	2ICLK
000A 8610h	RSCAN0	送信バッファレジスタ 1AL	TMIDL1	16	16	2 ~ 3PCLKB	2ICLK
000A 8610h	RSCAN	RAM テストレジスタ 72	RPGACC72	16	16	2 ~ 3PCLKB	2ICLK
000A 8612h	RSCAN0	送信バッファレジスタ 1AH	TMIDH1	16	16	2 ~ 3PCLKB	2ICLK
000A 8612h	RSCAN	RAM テストレジスタ 73	RPGACC73	16	16	2 ~ 3PCLKB	2ICLK
000A 8614h	RSCAN	RAM テストレジスタ 74	RPGACC74	16	16	2 ~ 3PCLKB	2ICLK
000A 8616h	RSCAN0	送信バッファレジスタ 1BH	TMPTR1	16	16	2 ~ 3PCLKB	2ICLK
000A 8616h	RSCAN	RAM テストレジスタ 75	RPGACC75	16	16	2 ~ 3PCLKB	2ICLK
000A 8618h	RSCAN0	送信バッファレジスタ 1CL	TMDF01	16	16	2 ~ 3PCLKB	2ICLK
000A 8618h	RSCAN	RAM テストレジスタ 76	RPGACC76	16	16	2 ~ 3PCLKB	2ICLK
000A 861Ah	RSCAN0	送信バッファレジスタ 1CH	TMDF11	16	16	2 ~ 3PCLKB	2ICLK
000A 861Ah	RSCAN	RAM テストレジスタ 77	RPGACC77	16	16	2 ~ 3PCLKB	2ICLK
000A 861Ch	RSCAN0	送信バッファレジスタ 1DL	TMDF21	16	16	2 ~ 3PCLKB	2ICLK
000A 861Ch	RSCAN	RAM テストレジスタ 78	RPGACC78	16	16	2 ~ 3PCLKB	2ICLK
000A 861Eh	RSCAN0	送信バッファレジスタ 1DH	TMDF31	16	16	2 ~ 3PCLKB	2ICLK
000A 861Eh	RSCAN	RAM テストレジスタ 79	RPGACC79	16	16	2 ~ 3PCLKB	2ICLK
000A 8620h	RSCAN0	送信バッファレジスタ 2AL	TMIDL2	16	16	2 ~ 3PCLKB	2ICLK
000A 8620h	RSCAN	RAM テストレジスタ 80	RPGACC80	16	16	2 ~ 3PCLKB	2ICLK
000A 8622h	RSCAN0	送信バッファレジスタ 2AH	TMIDH2	16	16	2 ~ 3PCLKB	2ICLK
000A 8622h	RSCAN	RAM テストレジスタ 81	RPGACC81	16	16	2 ~ 3PCLKB	2ICLK
000A 8624h	RSCAN	RAM テストレジスタ 82	RPGACC82	16	16	2 ~ 3PCLKB	2ICLK
000A 8626h	RSCAN0	送信バッファレジスタ 2BH	TMPTR2	16	16	2 ~ 3PCLKB	2ICLK
000A 8626h	RSCAN	RAM テストレジスタ 83	RPGACC83	16	16	2 ~ 3PCLKB	2ICLK
000A 8628h	RSCAN0	送信バッファレジスタ 2CL	TMDF02	16	16	2 ~ 3PCLKB	2ICLK
000A 8628h	RSCAN	RAM テストレジスタ 84	RPGACC84	16	16	2 ~ 3PCLKB	2ICLK
000A 862Ah	RSCAN0	送信バッファレジスタ 2CH	TMDF12	16	16	2 ~ 3PCLKB	2ICLK
000A 862Ah	RSCAN	RAM テストレジスタ 85	RPGACC85	16	16	2 ~ 3PCLKB	2ICLK
000A 862Ch	RSCAN0	送信バッファレジスタ 2DL	TMDF22	16	16	2 ~ 3PCLKB	2ICLK
000A 862Ch	RSCAN	RAM テストレジスタ 86	RPGACC86	16	16	2 ~ 3PCLKB	2ICLK
000A 862Eh	RSCAN0	送信バッファレジスタ 2DH	TMDF32	16	16	2 ~ 3PCLKB	2ICLK
000A 862Eh	RSCAN	RAM テストレジスタ 87	RPGACC87	16	16	2 ~ 3PCLKB	2ICLK
000A 8630h	RSCAN0	送信バッファレジスタ 3AL	TMIDL3	16	16	2 ~ 3PCLKB	2ICLK
000A 8630h	RSCAN	RAM テストレジスタ 88	RPGACC88	16	16	2 ~ 3PCLKB	2ICLK
000A 8632h	RSCAN0	送信バッファレジスタ 3AH	TMIDH3	16	16	2 ~ 3PCLKB	2ICLK
000A 8632h	RSCAN	RAM テストレジスタ 89	RPGACC89	16	16	2 ~ 3PCLKB	2ICLK

表4.1 I/O レジスタアドレス一覧 (31/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK < PCLKの場合
000A 8634h	RSCAN	RAMテストレジスタ90	RPGACC90	16	16	2~3PCLKB	2ICLK
000A 8636h	RSCAN0	送信バッファレジスタ3BH	TMPTR3	16	16	2~3PCLKB	2ICLK
000A 8636h	RSCAN	RAMテストレジスタ91	RPGACC91	16	16	2~3PCLKB	2ICLK
000A 8638h	RSCAN0	送信バッファレジスタ3CL	TMDF03	16	16	2~3PCLKB	2ICLK
000A 8638h	RSCAN	RAMテストレジスタ92	RPGACC92	16	16	2~3PCLKB	2ICLK
000A 863Ah	RSCAN0	送信バッファレジスタ3CH	TMDF13	16	16	2~3PCLKB	2ICLK
000A 863Ah	RSCAN	RAMテストレジスタ93	RPGACC93	16	16	2~3PCLKB	2ICLK
000A 863Ch	RSCAN0	送信バッファレジスタ3DL	TMDF23	16	16	2~3PCLKB	2ICLK
000A 863Ch	RSCAN	RAMテストレジスタ94	RPGACC94	16	16	2~3PCLKB	2ICLK
000A 863Eh	RSCAN0	送信バッファレジスタ3DH	TMDF33	16	16	2~3PCLKB	2ICLK
000A 863Eh	RSCAN	RAMテストレジスタ95	RPGACC95	16	16	2~3PCLKB	2ICLK
000A 8640h~ 000A 867Eh	RSCAN	RAMテストレジスタ96~RAMテストレジスタ127	RPGACC96~ RPGACC127	16	16	2~3PCLKB	2ICLK
000A 8680h	RSCAN0	送信履歴バッファアクセスレジスタ	THLACC0	16	16	2~3PCLKB	2ICLK
000D 0A00h	MTU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK
000D 0A01h	MTU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK
000D 0A02h	MTU3	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK
000D 0A03h	MTU4	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK
000D 0A04h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKA	2ICLK
000D 0A05h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKA	2ICLK
000D 0A06h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKA	2ICLK
000D 0A07h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKA	2ICLK
000D 0A08h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK
000D 0A09h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK
000D 0A0Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2~3PCLKA	2ICLK
000D 0A0Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2~3PCLKA	2ICLK
000D 0A0Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2~3PCLKA	2ICLK
000D 0A0Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2~3PCLKA	2ICLK
000D 0A10h	MTU3	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK
000D 0A12h	MTU4	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK
000D 0A14h	MTU	タイマ周期データレジスタ	TCDR	16	16	2~3PCLKA	2ICLK
000D 0A16h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2~3PCLKA	2ICLK
000D 0A18h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK
000D 0A1Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK
000D 0A1Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK
000D 0A1Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK
000D 0A20h	MTU	タイマサブカウンタ	TCNTS	16	16	2~3PCLKA	2ICLK
000D 0A22h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2~3PCLKA	2ICLK
000D 0A24h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKA	2ICLK
000D 0A26h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKA	2ICLK
000D 0A28h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKA	2ICLK
000D 0A2Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKA	2ICLK
000D 0A2Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK
000D 0A2Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK
000D 0A30h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2~3PCLKA	2ICLK
000D 0A31h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2~3PCLKA	2ICLK
000D 0A32h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2~3PCLKA	2ICLK
000D 0A34h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2~3PCLKA	2ICLK
000D 0A36h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2~3PCLKA	2ICLK
000D 0A38h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKA	2ICLK
000D 0A39h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKA	2ICLK
000D 0A40h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2~3PCLKA	2ICLK

表4.1 I/O レジスタアドレス一覧 (32/33)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000D 0A44h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2~3PCLKA	2ICLK
000D 0A46h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2~3PCLKA	2ICLK
000D 0A48h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2~3PCLKA	2ICLK
000D 0A4Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2~3PCLKA	2ICLK
000D 0A60h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2~3PCLKA	2ICLK
000D 0A80h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2~3PCLKA	2ICLK
000D 0A81h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2~3PCLKA	2ICLK
000D 0A84h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2~3PCLKA	2ICLK
000D 0A90h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK
000D 0A91h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK
000D 0A92h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK
000D 0A93h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK
000D 0A94h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK
000D 0A95h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKA	2ICLK
000D 0B00h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK
000D 0B01h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK
000D 0B02h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKA	2ICLK
000D 0B03h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKA	2ICLK
000D 0B04h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK
000D 0B05h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK
000D 0B06h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK
000D 0B08h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK
000D 0B0Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK
000D 0B0Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKA	2ICLK
000D 0B0Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKA	2ICLK
000D 0B20h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKA	2ICLK
000D 0B22h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKA	2ICLK
000D 0B24h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKA	2ICLK
000D 0B26h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKA	2ICLK
000D 0B80h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK
000D 0B81h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK
000D 0B82h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKA	2ICLK
000D 0B84h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK
000D 0B85h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK
000D 0B86h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK
000D 0B88h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK
000D 0B8Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK
000D 0B90h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKA	2ICLK
000D 0C00h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKA	2ICLK
000D 0C01h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKA	2ICLK
000D 0C02h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKA	2ICLK
000D 0C04h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK
000D 0C05h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKA	2ICLK
000D 0C06h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKA	2ICLK
000D 0C08h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKA	2ICLK
000D 0C0Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKA	2ICLK
000D 0C80h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKA	2ICLK
000D 0C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKA	2ICLK
000D 0C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKA	2ICLK
000D 0C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKA	2ICLK
000D 0C90h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKA	2ICLK

表4.1 I/O レジスタアドレス一覧 (33/33)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
000D 0C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKA	2ICLK
000D 0C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKA	2ICLK
000D 0C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKA	2ICLK
000D 0CA0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKA	2ICLK
000D 0CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKA	2ICLK
000D 0CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKA	2ICLK
000D 0CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKA	2ICLK
000D 0CB2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKA	2ICLK
000D 0CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKA	2ICLK
000D 0CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKA	2ICLK
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK	2ICLK
007F C0ACh	TEMPSA	温度センサ校正データレジスタL	TSCDRL	8	8	2~3PCLKA	2ICLK
007F C0ADh	TEMPSA	温度センサ校正データレジスタH	TSCDRH	8	8	2~3PCLKA	2ICLK
007F C100h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2~3FCLK	2ICLK
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK	2ICLK
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK	2ICLK
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2~3FCLK	2ICLK
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK	2ICLK
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK	2ICLK
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2~3FCLK	2ICLK
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK	2ICLK
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	2ICLK
007F C130h	FLASH	フラッシュライトバッファ0レジスタ	FWB0	16	16	2~3FCLK	2ICLK
007F C138h	FLASH	フラッシュライトバッファ1レジスタ	FWB1	16	16	2~3FCLK	2ICLK
007F C140h	FLASH	フラッシュライトバッファ2レジスタ	FWB2	16	16	2~3FCLK	2ICLK
007F C144h	FLASH	フラッシュライトバッファ3レジスタ	FWB3	16	16	2~3FCLK	2ICLK
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK	2ICLK
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK	2ICLK
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	2ICLK
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2~3FCLK	2ICLK
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2~3FCLK	2ICLK
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2~3FCLK	2ICLK
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2~3FCLK	2ICLK
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2~3FCLK	2ICLK
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2~3FCLK	2ICLK
007F C1F0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	2ICLK
007F C350h	FLASHCO NST	ユニークIDレジスタ0	UIDR0	32	32	2~3FCLK	2ICLK
007F C354h	FLASHCO NST	ユニークIDレジスタ1	UIDR1	32	32	2~3FCLK	2ICLK
007F C358h	FLASHCO NST	ユニークIDレジスタ2	UIDR2	32	32	2~3FCLK	2ICLK
007F C35Ch	FLASHCO NST	ユニークIDレジスタ3	UIDR3	32	32	2~3FCLK	2ICLK
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2ICLK

注1. 奇数アドレスへの16ビットアクセスはできません。「ユーザーズマニュアルハードウェア編」の表26.4に16ビットアクセスのレジスタ配置を示します。

注2. USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

5. 電気的特性

5.1 絶対最大定格

表 5.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = VREFL = VSS_USB = 0V

項目		記号	定格値	単位
電源電圧		VCC、VCC_USB	-0.3 ~ +6.5	V
VBATT電源電圧		Vbatt	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	ポート03、05、07、 P40 ~ P47		-0.3 ~ AVCC0+0.3	
	上記以外		-0.3 ~ VCC+0.3	
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0+0.3	V
		VREFH		
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN031使用時		-0.3 ~ VCC+0.3	
動作温度 (注2)		T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VCC_USB端子とVSS_USB端子間、VREFH0端子とVREFL0間、VREFH端子とVREFL間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7μFのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は「5.15.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポート12、13、16、17、30、31、32、B5は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表 5.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注 1、注 2)	USB 未使用時	1.8	—	5.5	V
		USB 使用時 USB レギュレータ未使用時	3.0	—	3.6	
		USB 使用時 USB レギュレータ使用時	4.0	—	5.5	
	VSS		—	0	—	
USB 電源電圧	VCC_USB	USB レギュレータ未使用時	—	VCC	—	V
	VSS_USB		—	0	—	
VBATT 電源電圧	VBATT		1.8	—	5.5	V
アナログ電源電圧	AVCC0 (注 1、注 2)		1.8	—	5.5	V
	AVSS0		—	0	—	
	VREFH0		1.8	—	AVCC0	
	VREFL0		—	0	—	
	VREFH		1.8	—	AVCC0	
	VREFL		—	0	—	

注 1. AVCC0 と VCC は次の条件で使用してください。

VCC $\geq$ 2.0V の時 : AVCC0 と VCC は使用範囲内で独立して設定可能

VCC < 2.0V の時 : AVCC0 = VCC

注 2. VCC 端子と AVCC0 端子の電源投入順序は、同時もしくは VCC 端子、AVCC0 端子の順になるように投入してください。

5.2 DC 特性

表5.3 DC特性 (1)

条件: $2.7V \leq VCC = VCC_USB \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)		V _{IH}	VCC × 0.7	—	5.8	V	
	ポート12、13、16、17、ポートB5 (5Vトレラント)			VCC × 0.8	—	5.8		
	ポート14～15、ポート20～27、 ポート33～37、ポート50～55、 ポートA0～A7、 ポートB0～B4、B6、B7、 ポートC0～C7、 ポートD0～D7、 ポートE0～E7、 ポートJ3、 ポート30～32（時間キャプチャイベン ト入力非選択時）、 RES#			VCC × 0.8	—	VCC + 0.3		
	ポート03、05、07、ポート40～47			AVCC0 × 0.8	—	AVCC0 + 0.3		
	ポート30～32 (時間キャプチャ イベント入力選択時)	VCC給電時		VCC × 0.8	—	VCC + 0.3		
		VBATT給電時		VBATT × 0.8	—	VBATT + 0.3		
	ポート03、05、07、ポート40～47		V _{IL}	−0.3	—	AVCC0 × 0.2		
	RIIC入力端子（SMBusを除く）			−0.3	—	VCC × 0.3		
	RIIC入力端子以外、 ポート30～32以外			−0.3	—	VCC × 0.2		
	ポート30～32 (時間キャプチャ イベント入力選択時)	VCC給電時		−0.3	—	VCC × 0.3		
		VBATT給電時		−0.3	—	VBATT × 0.3		
	ポート03、05、07、ポート40～47			ΔV _T	AVCC0 × 0.1	—		
	RIIC入力端子（SMBusを除く）		VCC × 0.05		—	—		
	ポート12、13、16、17、ポートB5		VCC × 0.05		—	—		
	RIIC入力端子以外		VCC × 0.1		—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD		V _{IH}	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL（外部クロック入力）			VCC × 0.8	—	VCC + 0.3		
	RIIC入力端子（SMBus）			2.1	—	VCC + 0.3		
	MD		V _{IL}	−0.3	—	VCC × 0.1		
	EXTAL（外部クロック入力）			−0.3	—	VCC × 0.2		
	RIIC入力端子（SMBus）			−0.3	—	0.8		

表5.4 DC特性 (2)

条件: $1.8V \leq VCC = VCC_USB < 2.7V$ 、 $1.8V \leq AVCC0 < 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポート12、13、16、17、 ポートB5 (5Vトレラント)	V_{IH}	$VCC \times 0.8$	—	5.8	V	
	ポート14~15、ポート20~27、 ポート30~37、ポート50~55、 ポートA0~A7、 ポートB0~B4、B6、B7、 ポートC0~C7、 ポートD0~D7、 ポートE0~E7、 ポートJ3、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート03、05、07、 ポート40~47		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	ポート03、05、07、 ポート40~47	V_{IL}	-0.3	—	$AVCC0 \times 0.2$		
	上記ポート以外		-0.3	—	$VCC \times 0.2$		
	ポート03、05、07、 ポート40~47	ΔV_T	$AVCC0 \times 0.01$	—	—		
	上記ポート以外		$VCC \times 0.01$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		

表5.5 DC特性 (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポート35	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$ 、 VCC
スリープステートリーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$ 、5.8V
	5Vトレラント対応ポート以外		—	—	0.2		$V_{in} = 0V$ 、 VCC
入力容量	全入力端子 (ポート35、USB0_DM、 USB0_DP以外)	C_{in}	—	—	15	pF	$V_{in} = 0mV$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
	ポート35、USB0_DM、 USB0_DP		—	—	30		

表5.6 DC特性 (4)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポート35以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表5.7 DC特性 (5)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目					記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 54MHz	I _{CC}	6.5	—	mA		
				ICLK = 32MHz		4.1	—			
				ICLK = 16MHz		2.9	—			
				ICLK = 8MHz		2.2	—			
				ICLK = 4MHz		1.9	—			
			全周辺動作 通常動作	ICLK = 54MHz (注11)		26.5	—			
				ICLK = 32MHz (注3)		21.0	—			
				ICLK = 16MHz (注3)		11.8	—			
				ICLK = 8MHz (注3)		6.6	—			
				ICLK = 4MHz (注3)		4.2	—			
			全周辺動作 最大動作	ICLK = 54MHz (注11)		—	53.3			
				ICLK = 32MHz (注3)		—	40.8			
			Trusted Secure IP 動作の増加分	PCLKB = 32MHz		—	2			
			スリープモード	周辺動作なし (注2)		ICLK = 54MHz	3.5			—
						ICLK = 32MHz	2.4			—
						ICLK = 16MHz	1.9			—
						ICLK = 8MHz	1.6			—
		ICLK = 4MHz				1.5	—			
		全周辺動作 通常動作		ICLK = 54MHz (注11)		13.4	—			
				ICLK = 32MHz (注3)		12.5	—			
				ICLK = 16MHz (注3)		7.3	—			
				ICLK = 8MHz (注3)		4.6	—			
				ICLK = 4MHz (注3)		3.3	—			
		ディープ スリープモード		周辺動作なし (注2)		ICLK = 54MHz	2.3			—
						ICLK = 32MHz	1.5			—
			ICLK = 16MHz			1.3	—			
			ICLK = 8MHz			1.2	—			
			ICLK = 4MHz			1.1	—			
			全周辺動作 通常動作	ICLK = 54MHz (注11)		10.6	—			
	ICLK = 32MHz (注3)			9.9	—					
	ICLK = 16MHz (注3)			5.9	—					
	ICLK = 8MHz (注3)			3.8	—					
	ICLK = 4MHz (注3)			2.7	—					
	BGO動作時の増加分 (注5)					2.5	—			
	中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.7	—	mA		
				ICLK = 8MHz		1.8	—			
				ICLK = 4MHz		1.4	—			
				ICLK = 1MHz		1.1	—			
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		9.6	—			
				ICLK = 8MHz		6.2	—			
				ICLK = 4MHz		3.8	—			
				ICLK = 1MHz		2.3	—			
			全周辺動作 最大動作 (注7)	ICLK = 12MHz		—	16.7			

項目					記号	typ (注4)	max	単位	測定条件	
消費電流	中速動作モード	スリープモード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	1.9	—	mA		
				ICLK = 8MHz		1.2	—			
				ICLK = 4MHz		1.1	—			
				ICLK = 1MHz		1.0	—			
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		6.1	—			
				ICLK = 8MHz		4.4	—			
				ICLK = 4MHz		3.0	—			
				ICLK = 1MHz		2.0	—			
		ディープ スリープモード	周辺動作なし (注6)	ICLK = 12MHz		1.6	—			
				ICLK = 8MHz		1.0	—			
				ICLK = 4MHz		0.9	—			
				ICLK = 1MHz		0.8	—			
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		5.1	—			
				ICLK = 8MHz		3.7	—			
				ICLK = 4MHz		2.6	—			
				ICLK = 1MHz		1.8	—			
		BGO動作時の増加分 (注5)				2.5	—			
	低速動作モード	通常動作モード	周辺動作なし (注8)	ICLK = 32kHz	I _{CC}	5.2	—	μA		
				全周辺動作 通常動作 (注9、注10)		ICLK = 32kHz	22.3			—
				全周辺動作 最大動作 (注9、注10)		ICLK = 32kHz	—			74.4
		スリープモード	周辺動作なし (注8)	ICLK = 32kHz		3.0	—			
				全周辺動作 通常動作 (注9)		ICLK = 32kHz	13.1			—
		ディープ スリープモード	周辺動作なし (注8)	ICLK = 32kHz		2.4	—			
				全周辺動作 通常動作 (注9)		ICLK = 32kHz	10.5			—

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態です。BGO動作は除きます。クロックソースはPLLです。BCLK、FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。BCLK、FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC=3.3Vの値です。
- 注5. プログラム実行中に、ROMまたはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態です。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。BCLK、FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態です。クロックソースはICLK = 12MHzの時はPLL、その他はHOCOです。BCLK、FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態です。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態です。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット) をモジュールストップ状態に設定した時の値です。
- 注11. 周辺機能はクロック供給状態です。BGO動作は除きます。クロックソースはPLLです。BCLK、FCLK、PCLKBは2分周設定、PCLKA、PCLKDはICLKと同じ周波数です。

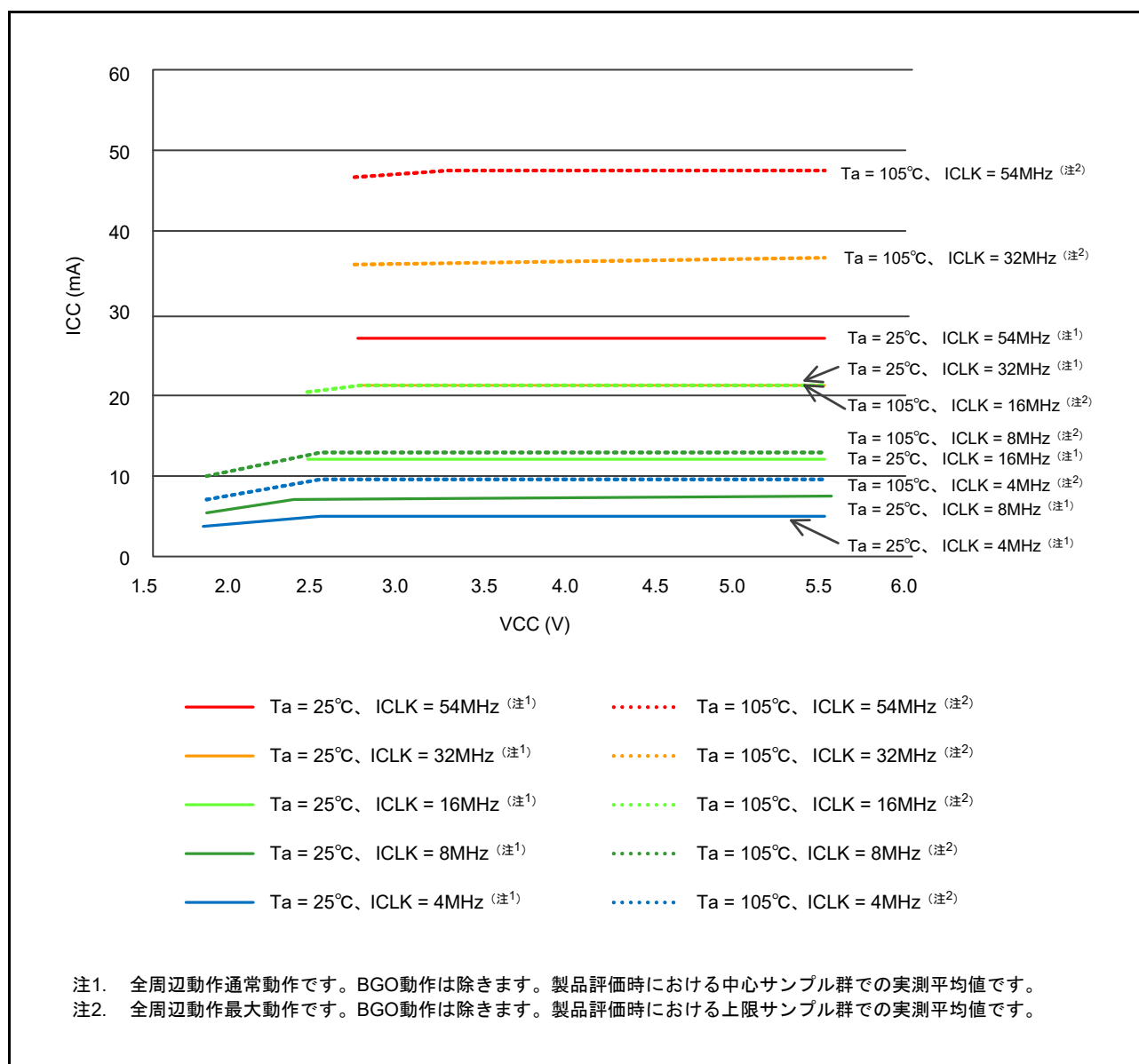
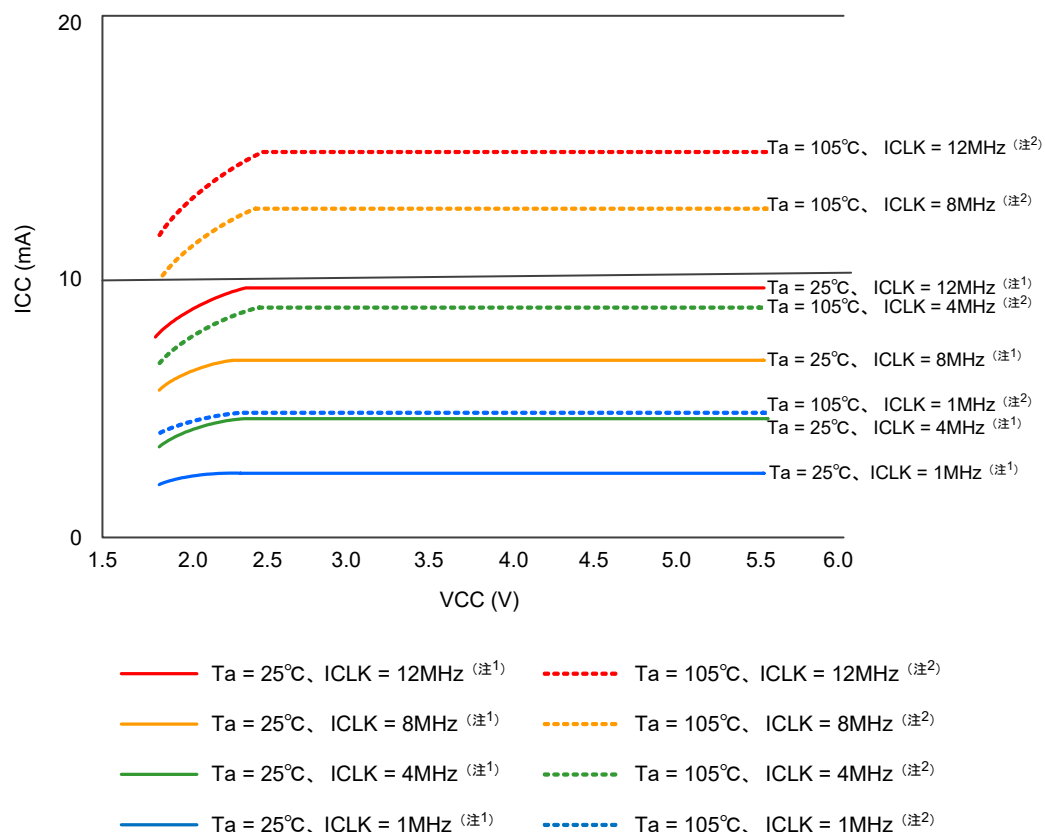
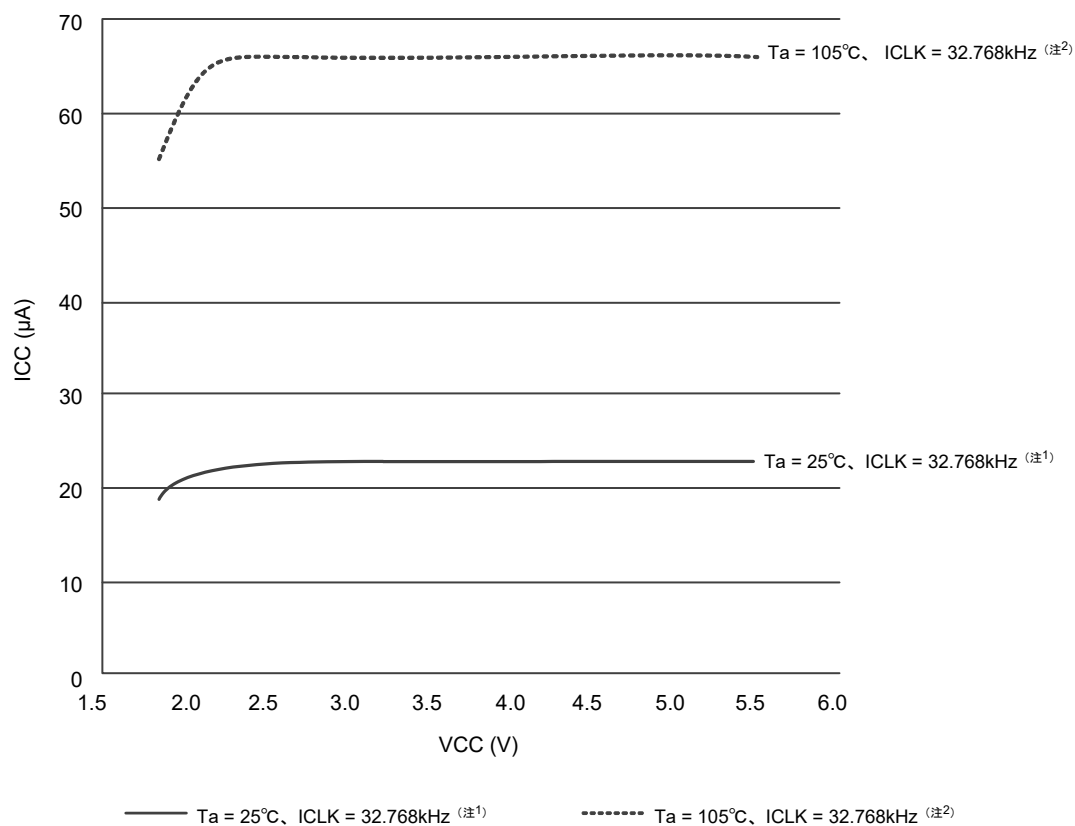


図 5.1 高速動作モードの電圧依存性 (参考データ)



注1. 全周辺動作通常動作です。BGO動作は除きます。製品評価時における中心サンプル群での実測平均値です。
 注2. 全周辺動作最大動作です。BGO動作は除きます。製品評価時における上限サンプル群での実測平均値です。

図 5.2 中速動作モードの電圧依存性 (参考データ)



注1. 全周辺動作通常動作です。BGO動作は除きます。製品評価時における中心サンプル群での実測平均値です。
 注2. 全周辺動作最大動作です。BGO動作は除きます。製品評価時における上限サンプル群での実測平均値です。

図 5.3 低速動作モードの電圧依存性（参考データ）

表5.8 DC特性 (6)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	T _a = 25°C	I _{CC}	0.8	3.7	μA	
		T _a = 55°C		1.2	4.3		
		T _a = 85°C		3.5	18.6		
		T _a = 105°C		7.9	45.2		
	IWDWT 動作の増加分			0.4	—		クロックソースはIWDWT 専用オンチップオシレータを使用
	LPT 動作の増加分			0.4	—		
	RTC 動作の増加分 (注4)			0.4	—		
				1.2	—		RCR3.RTCDV[2:0]はドライブ能力標準設定

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVD、CMPBは動作停止です。

注3. $VCC = 3.3V$ の場合です。

注4. 発振回路を含みます。

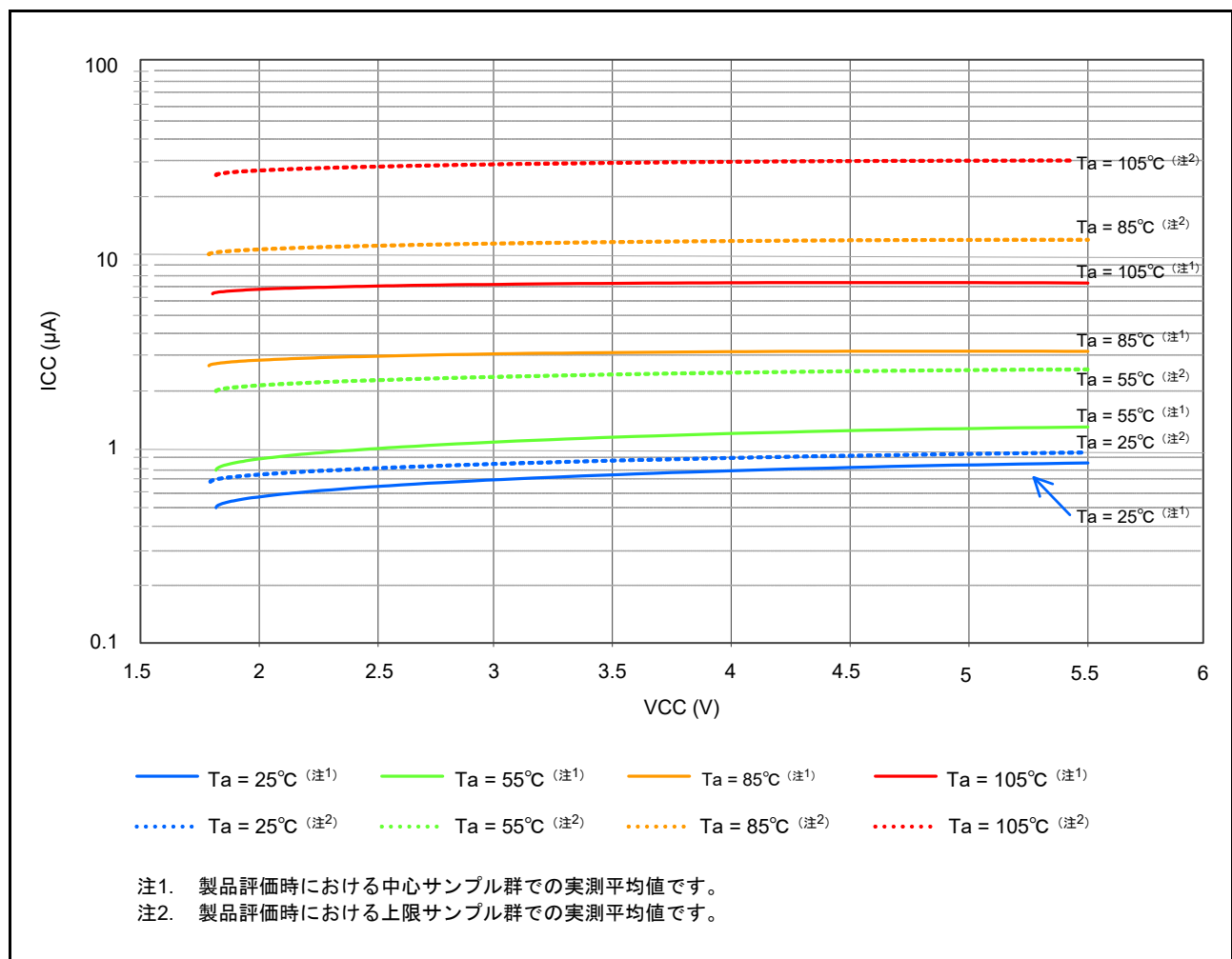


図 5.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

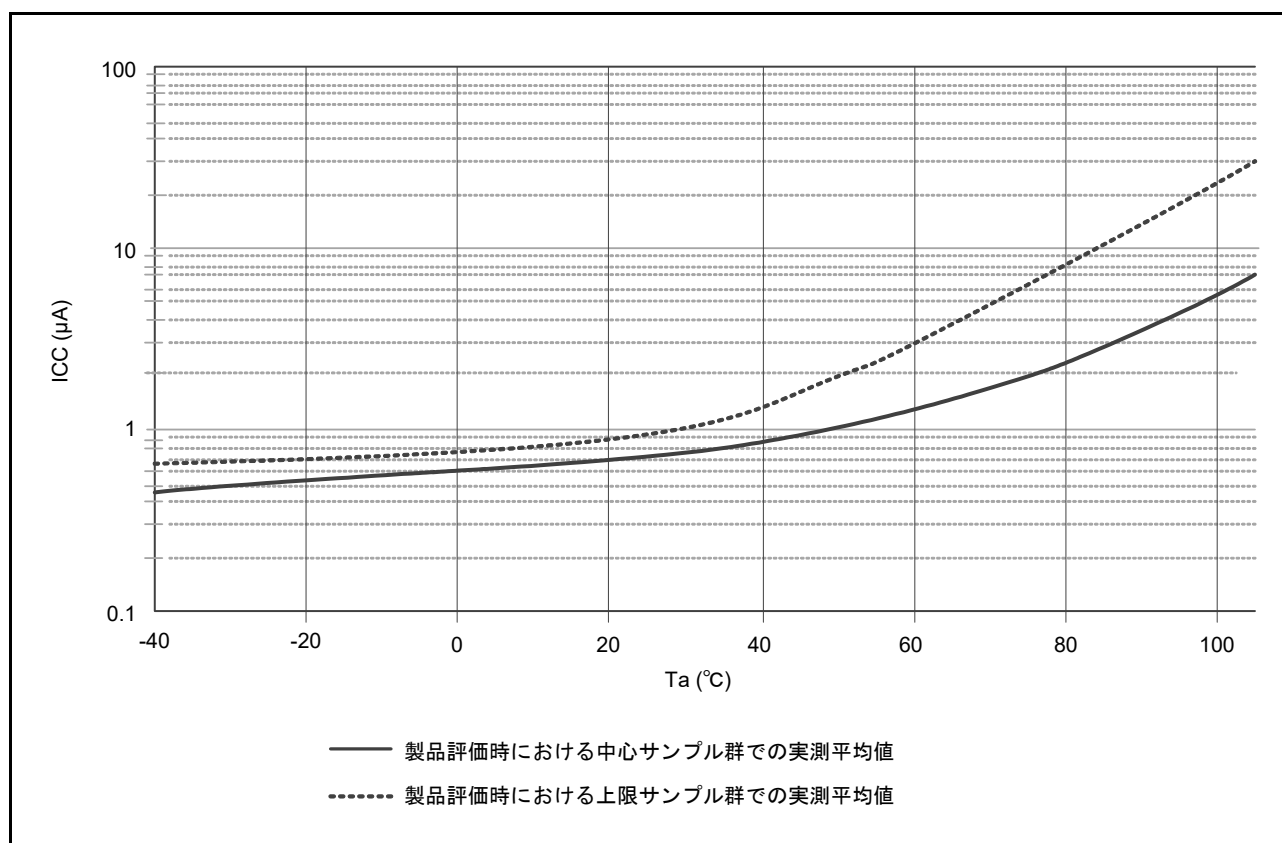


図 5.5 ソフトウェアスタンバイモード時の温度依存性（参考データ）

表 5.9 DC特性（7）

条件：1.8V $\leq$ VCC = VCC_USB = AVCC0 $\leq$ 5.5V、VSS = AVSS0 = VSS_USB = 0V、 $T_a = -40 \sim +105^{\circ}C$

項目			記号	typ	max	単位	測定条件
消費電流 (注1)	VCCオフ時の RTC動作	$T_a = 25^{\circ}C$	I_{CC}	0.8	—	μA	VBATT = 2.0V RCR3.RTCDV[2:0]はドライブ能力低設定
		$T_a = 55^{\circ}C$		0.9	—		
		$T_a = 85^{\circ}C$		1.0	—		
		$T_a = 105^{\circ}C$		1.2	—		
		$T_a = 25^{\circ}C$		0.9	—		VBATT = 3.3V RCR3.RTCDV[2:0]はドライブ能力低設定
		$T_a = 55^{\circ}C$		1.0	—		
		$T_a = 85^{\circ}C$		1.1	—		
		$T_a = 105^{\circ}C$		1.3	—		
		$T_a = 25^{\circ}C$		1.5	—		VBATT = 2.0V RCR3.RTCDV[2:0]はドライブ能力標準設定
		$T_a = 55^{\circ}C$		1.8	—		
		$T_a = 85^{\circ}C$		2.1	—		
		$T_a = 105^{\circ}C$		2.4	—		
		$T_a = 25^{\circ}C$		1.6	—		VBATT = 3.3V RCR3.RTCDV[2:0]はドライブ能力標準設定
		$T_a = 55^{\circ}C$		1.9	—		
		$T_a = 85^{\circ}C$		2.2	—		
		$T_a = 105^{\circ}C$		2.5	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

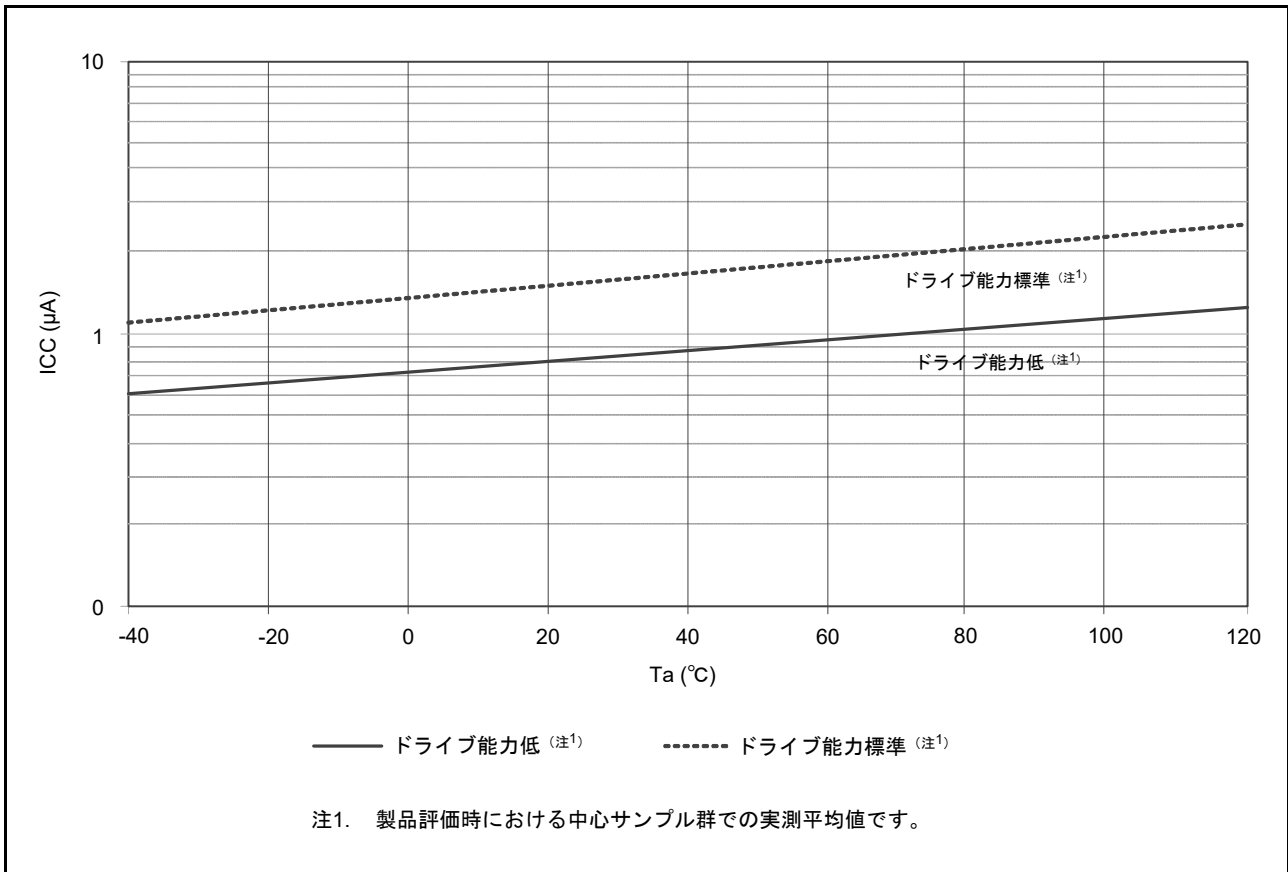


図 5.6 VCC オフ時の RTC 動作の温度依存性（参考データ）

表 5.10 DC特性（8）
条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

項目	記号	min	typ	max	単位	測定条件
許容総消費電力（注1）	Pd	—	—	350	mW	Dバージョン製品
許容総消費電力（注1）	Pd	—	—	130	mW	Gバージョン製品

注. Gバージョン製品のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

注1. チップ全体（出力電流を含む）の総電力です。

表5.11 DC特性 (9)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注7)	max	単位	測定条件
アナログ電源電流	A/D変換中 (高速変換時)	I_{AVCC}	—	0.7	1.7	mA	
	A/D変換中 (低電流モード)		—	0.6	1.0		
	D/A変換中 (1チャンネル当り) (注1)		—	0.4	0.8		
	A/D、D/A変換待機時 (全ユニット)		—	—	0.4	μA	
リファレンス電源電流	A/D変換中 (高速変換時)	I_{REFH0}	—	25	150	μA	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
	D/A変換中 (1チャンネル当り)	I_{REFH}	—	50	100	μA	
	D/A変換待機時 (全ユニット)		—	—	100	nA	
LVD1、2	1チャンネル当り	I_{LVD}	—	0.15	—	μA	
温度センサ (注6)	—	I_{TEMP}	—	75	—	μA	
コンパレータB動作電流 (注6)	ウィンドウ機能有効	I_{CMP} (注5)	—	12.5	28.6	μA	
	コンパレータ高速モード (1チャンネル当り)		—	3.2	16.2	μA	
	コンパレータ低速モード (1チャンネル当り)		—	1.7	4.4	μA	
CTSU動作電流	- 計測期間中 (CPUはスリープ) - ベースクロック 2MHz - 端子容量 50pF	I_{CTSU}	—	150	—	μA	
USB動作電流 (注4)	以下の設定、条件におけるUSB通信動作時 - フルスピードモードのホスト動作設定 - バルクOUT転送 (64バイト) 1本、 - バルクIN転送 (64バイト) 1本 - USBポートからUSBケーブル (1m) を経由して周辺機器に接続	I_{USBH} (注2)	—	4.3 (VCC) 0.9 (VCC_USB)	—	mA	
	以下の設定、条件におけるUSB通信動作時 - フルスピードモードのファンクション動作設定 - バルクOUT転送 (64バイト) 1本 - バルクIN転送 (64バイト) 1本 - USBポートからUSBケーブル (1m) を経由してホスト機器に接続	I_{USBF} (注2)	—	3.6 (VCC) 1.1 (VCC_USB)	—	mA	
	以下の設定、条件におけるサスペンド時 - フルスピードモードのファンクション動作設定 (USB0_DP端子をプルアップ) - ソフトウェアスタンバイモード - USBポートからUSBケーブル (1m) を経由してホスト機器に接続	I_{SUSP} (注3)	—	0.35 (VCC) 170 (VCC_USB)	—	μA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. USBモジュールのみの消費電流です。

注3. サスペンド状態における本製品の自己消費電流に加えて、USB0_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

注4. 電源 (VCC、VCC_USB) の消費電流です。

注5. コンパレータBモジュールのみの消費電流です。

注6. 電源 (VCC) の消費電流です。

注7. $VCC = AVCC0 = VCC_USB = 3.3V$ のとき。

表5.12 DC特性 (10)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.8	—	—	V	

表5.13 DC特性 (11)

条件: $0V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時 (注1)	0.02	—	20	ms/V	
	起動時間短縮時 (注2)	0.02	—	2		
	起動時電圧監視0リセット有効時 (注3、注4)	0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS)ビット = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS)ビット = 01bを設定した場合です。

注3. OFS1.LVDASビット = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表5.14 DC特性 (12)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 5.7 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 5.7 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 5.7 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

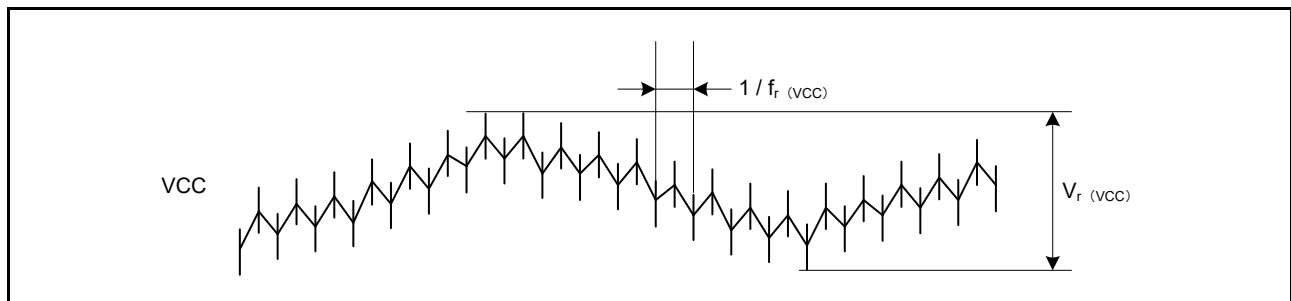


図 5.7 電源リップル波形

表5.15 DC特性 (13)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量許容誤差	C_{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7 μF です。端子容量のばらつきは、上記の範囲内にしてください。

表 5.16 出力許容電流値 (1)

条件 : $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポート40～47、ポート03、05、07、ポート36、37		I _{OL}	4.0	mA
	それ以外のポート	通常出力時		4.0	
		高駆動出力時		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポート40～47、ポート03、05、07、ポート36、37			4.0	
	それ以外のポート	通常出力時		4.0	
		高駆動出力時		8.0	
出力Lowレベル許容電流	ポート40～47、ポート03、05、07の合計		ΣI _{OL}	40	
	ポート12～17、ポート20～27、ポート30～37、 ポートPJ3の合計			40	
	ポート50～55、ポートC0～C7、ポートB0～B7の合計			40	
	ポートE0～E7、ポートA0～A7、ポートD0～D4の合計			40	
	全出力端子の総和			80	
出力Highレベル許容電流 (1端子あたりの平均値)	ポート40～47、ポート03、05、07、ポート36、37		I _{OH}	−4.0	
	それ以外のポート	通常出力時		−4.0	
		高駆動出力時		−8.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポート40～47、ポート03、05、07、ポート36、37			−4.0	
	それ以外のポート	通常出力時		−4.0	
		高駆動出力時		−8.0	
出力Highレベル許容電流	ポート40～47、ポート03、05、07の合計		ΣI _{OH}	−40	
	ポート12～17、ポート20～27、ポート30～37、 ポートPJ3の合計			−40	
	ポート50～55、ポートC0～C7、ポートB0～B7の合計			−40	
	ポートE0～E7、ポートA0～A7、ポートD0～D4の合計			−40	
	全出力端子の総和			−80	

注. 許容総消費電流は超えないようにしてください。

表5.17 出力許容電流値 (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポート40～47、ポート03、05、07、ポート36、37		I _{OL}	4.0	mA
	それ以外のポート	通常出力時		4.0	
		高駆動出力時		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポート40～47、ポート03、05、07、ポート36、37			4.0	
	それ以外のポート	通常出力時		4.0	
		高駆動出力時		8.0	
出力Lowレベル許容電流	ポート40～47、ポート03、05、07の合計		ΣI _{OL}	30	
	ポート12～17、ポート20～27、ポート30～37、 ポートPJ3の合計			30	
	ポート50～55、ポートC0～C7、ポートB0～B7の合計			30	
	ポートE0～E7、ポートA0～A7、ポートD0～D4の合計			30	
	全出力端子の総和			60	
出力Highレベル許容電流 (1端子あたりの平均値)	ポート40～47、ポート03、05、07、ポート36、37		I _{OH}	-4.0	
	それ以外のポート	通常出力時		-4.0	
		高駆動出力時		-8.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポート40～47、ポート03、05、07、ポート36、37			-4.0	
	それ以外のポート	通常出力時		-4.0	
		高駆動出力時		-8.0	
出力Highレベル許容電流	ポート40～47、ポート03、05、07の合計		ΣI _{OH}	-30	
	ポート12～17、ポート20～27、ポート30～37、 ポートPJ3の合計			-30	
	ポート50～55、ポートC0～C7、ポートB0～B7の合計			-30	
	ポートE0～E7、ポートA0～A7、ポートD0～D4の合計			-30	
	全出力端子の総和			-60	

注. 許容総消費電流は超えないようにしてください。

表 5.18 出力電圧値 (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 < 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	min	max	単位	測定条件
出力 Low レベル	全出力端子	通常出力時		V _{OL}	—	0.3	V	I _{OL} = 0.5mA
		高駆動出力時			—	0.3		I _{OL} = 1.0mA
出力 High レベル	全出力端子	通常出力時	ポート 03、05、07、 ポート 40 ~ 47	V _{OH}	AVCC0 - 0.3	—	V	I _{OH} = -0.5mA
			上記以外		VCC - 0.3	—		
		高駆動出力時			VCC - 0.3	—		I _{OH} = -1.0mA

表 5.19 出力電圧値 (2)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 < 4.0V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	min	max	単位	測定条件
出力 Low レベル	全出力端子 (RIIC 以外)	通常出力時		V _{OL}	—	0.5	V	I _{OL} = 1.0mA
		高駆動出力時			—	0.5		I _{OL} = 2.0mA
	RIIC 端子	スタンダードモード (通常駆動選択時)			—	0.4		I _{OL} = 3.0mA
		ファストモード (高駆動出力選択時)			—	0.6		I _{OL} = 6.0mA
出力 High レベル	全出力端子	通常出力時	ポート 03、05、07、 ポート 40 ~ 47	V _{OH}	AVCC0 – 0.5	—	V	I _{OH} = –1.0mA
			上記以外		VCC – 0.5	—		
		高駆動出力時			VCC – 0.5	—		I _{OH} = –2.0mA

表 5.20 出力電圧値 (3)

条件: $4.0V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC 以外)	通常出力時		V _{OL}	—	0.8	V	I _{OL} = 2.0mA
		高駆動出力時			—	0.8		I _{OL} = 4.0mA
	RIIC 端子	スタンダードモード (通常駆動選択時)			—	0.4		I _{OL} = 3.0mA
		ファストモード (高駆動出力選択時)			—	0.6		I _{OL} = 6.0mA
出力High レベル	全出力端子	通常出力時	ポート 03、05、07、 ポート 40 ~ 47	V _{OH}	AVCC0 - 0.8	—	V	I _{OH} = -2.0mA
			上記以外		VCC - 0.8	—		
		高駆動出力時			VCC - 0.8	—		I _{OH} = -4.0mA

5.2.1 標準 I/O 端子出力特性 (1)

図 5.8 ～ 図 5.12 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

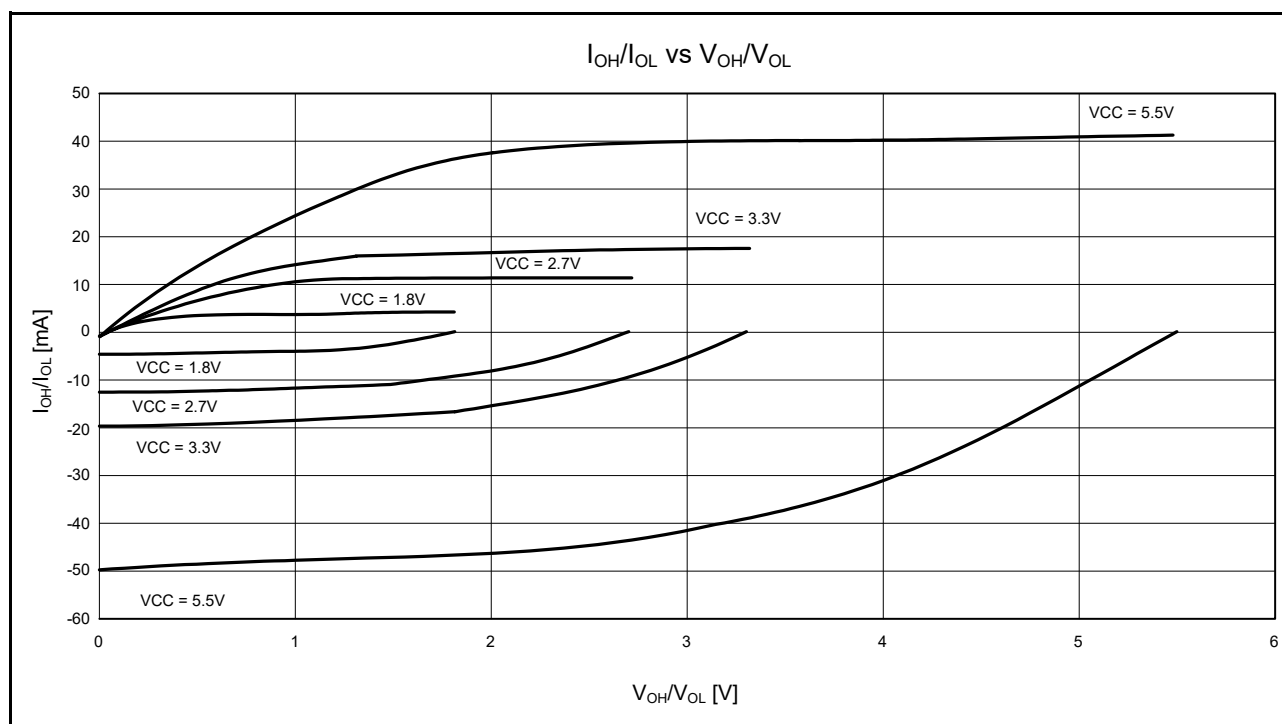


図 5.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

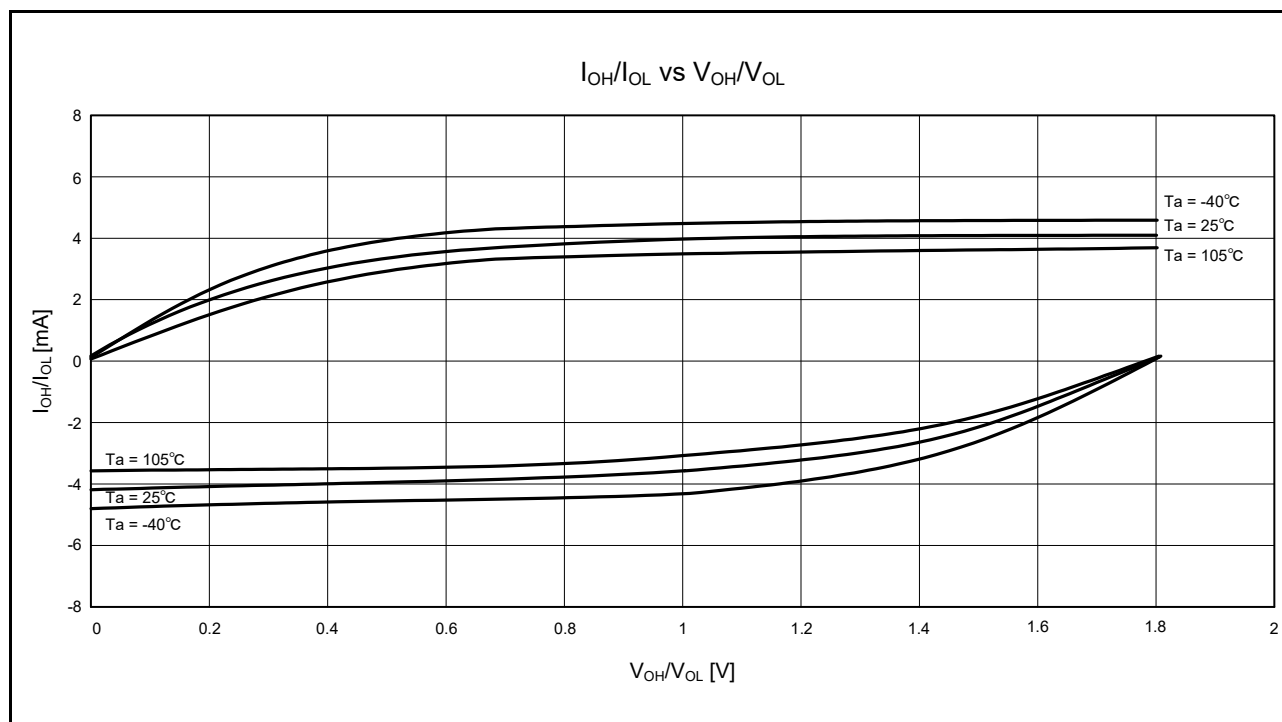
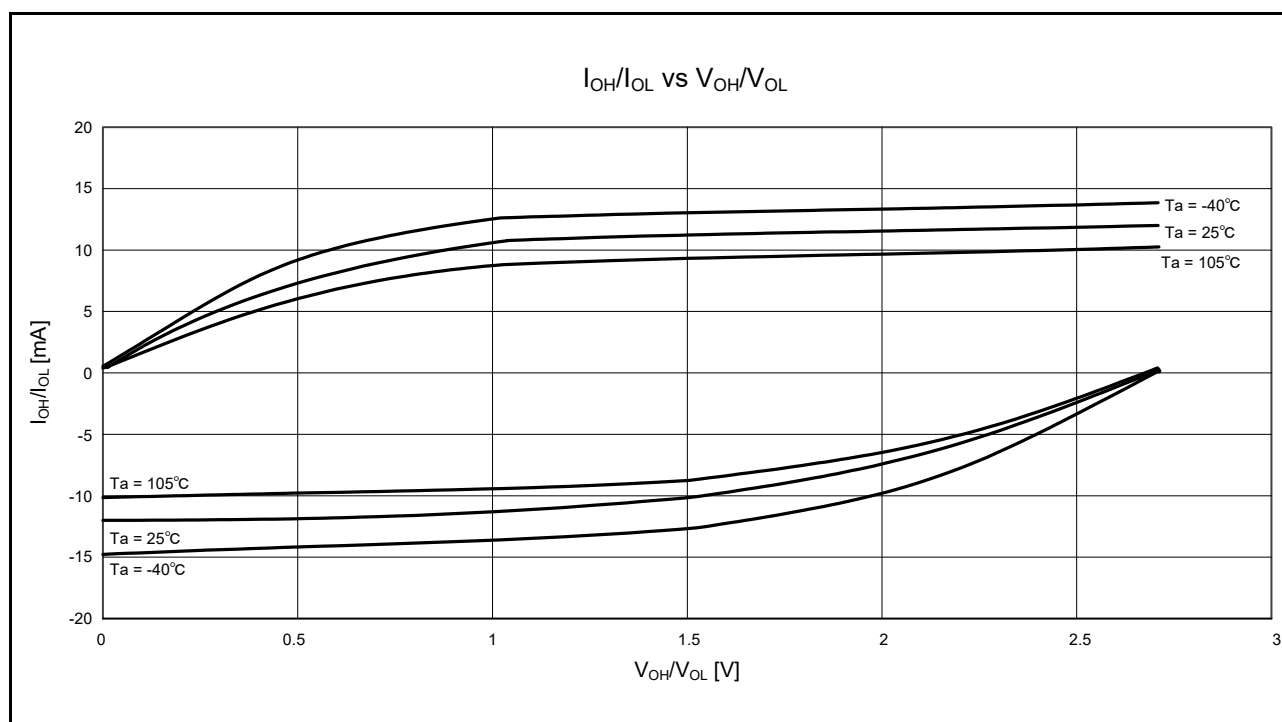
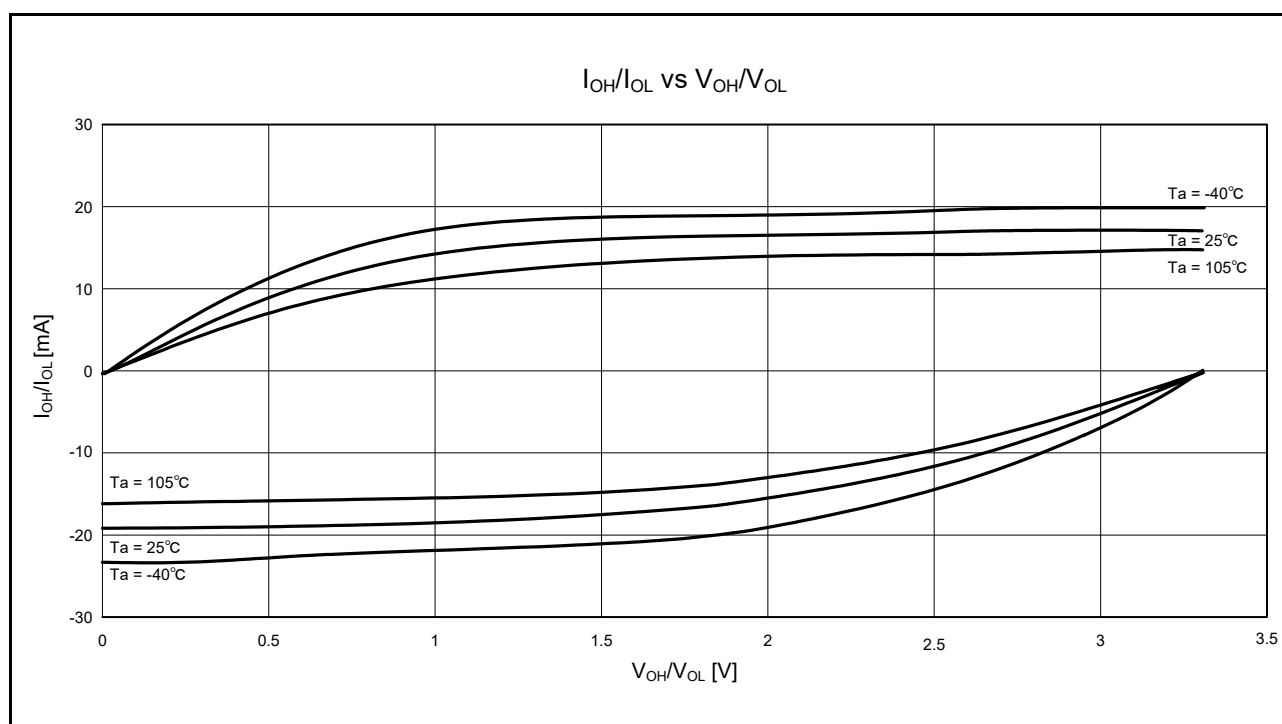


図 5.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

図 5.10 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)図 5.11 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

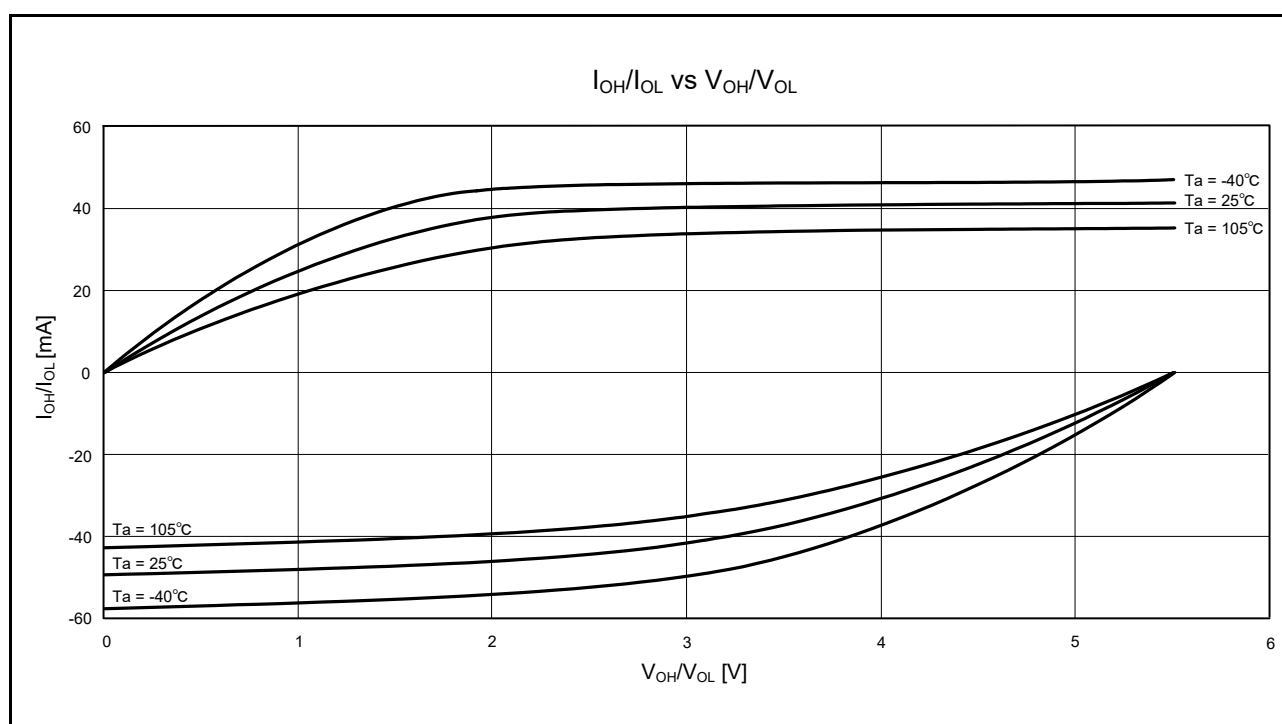


図 5.12 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

5.2.2 標準 I/O 端子出力特性 (2)

図 5.13 ～図 5.17 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

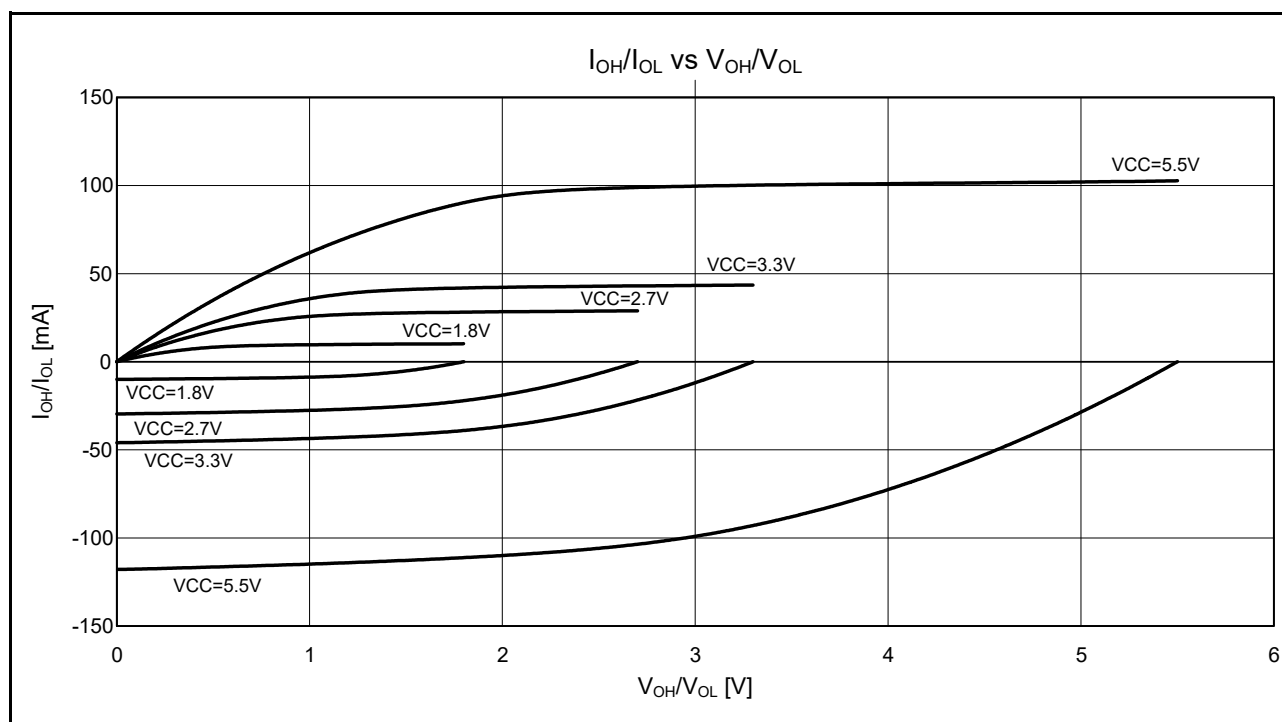


図 5.13 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

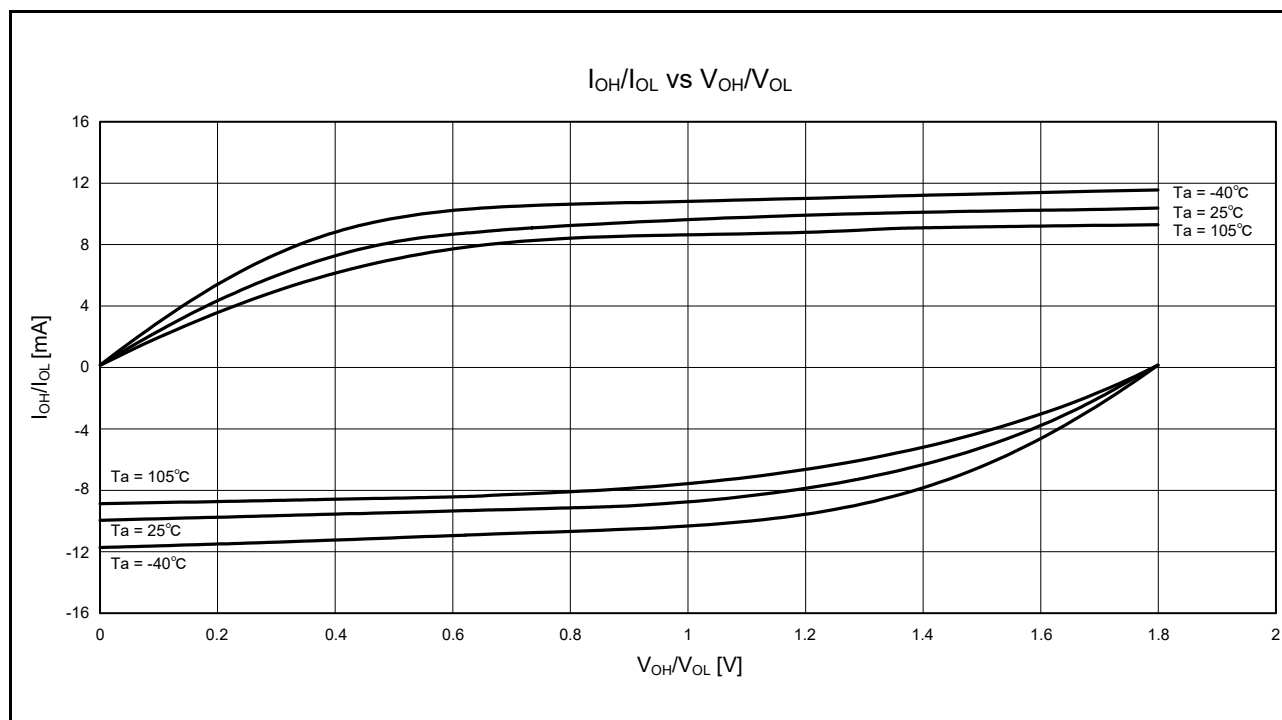


図 5.14 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

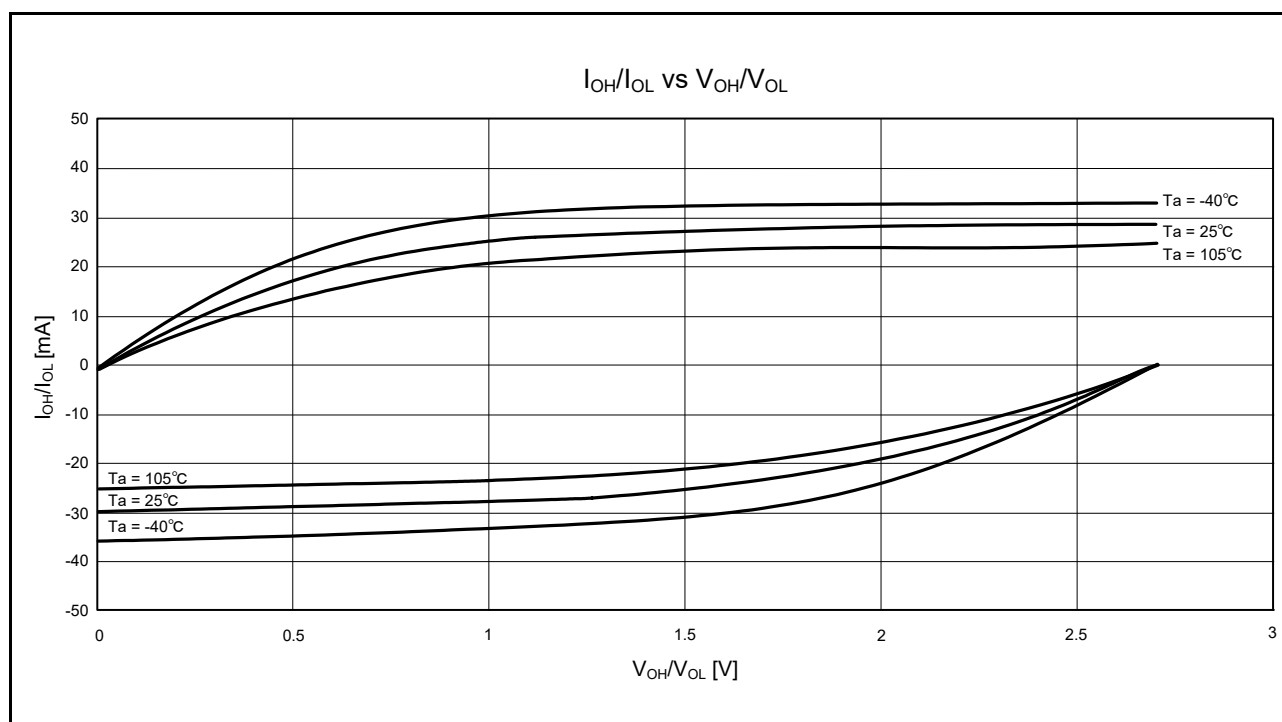


図 5.15 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

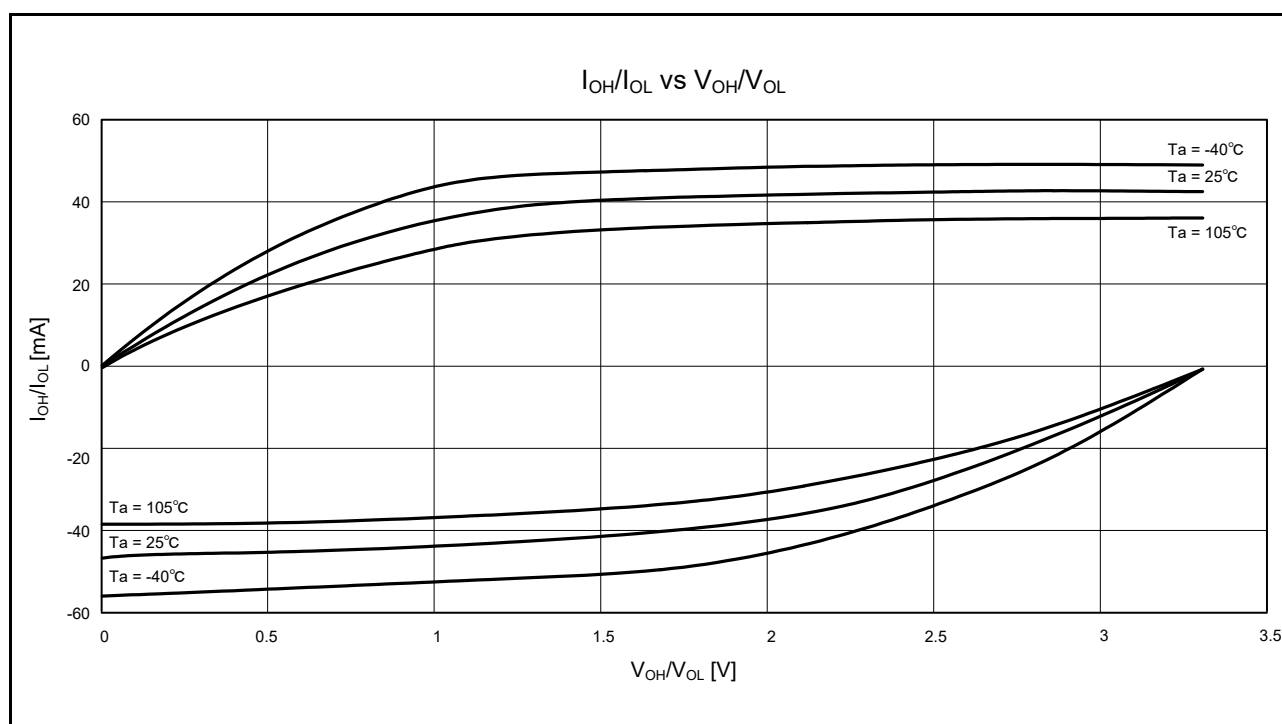


図 5.16 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

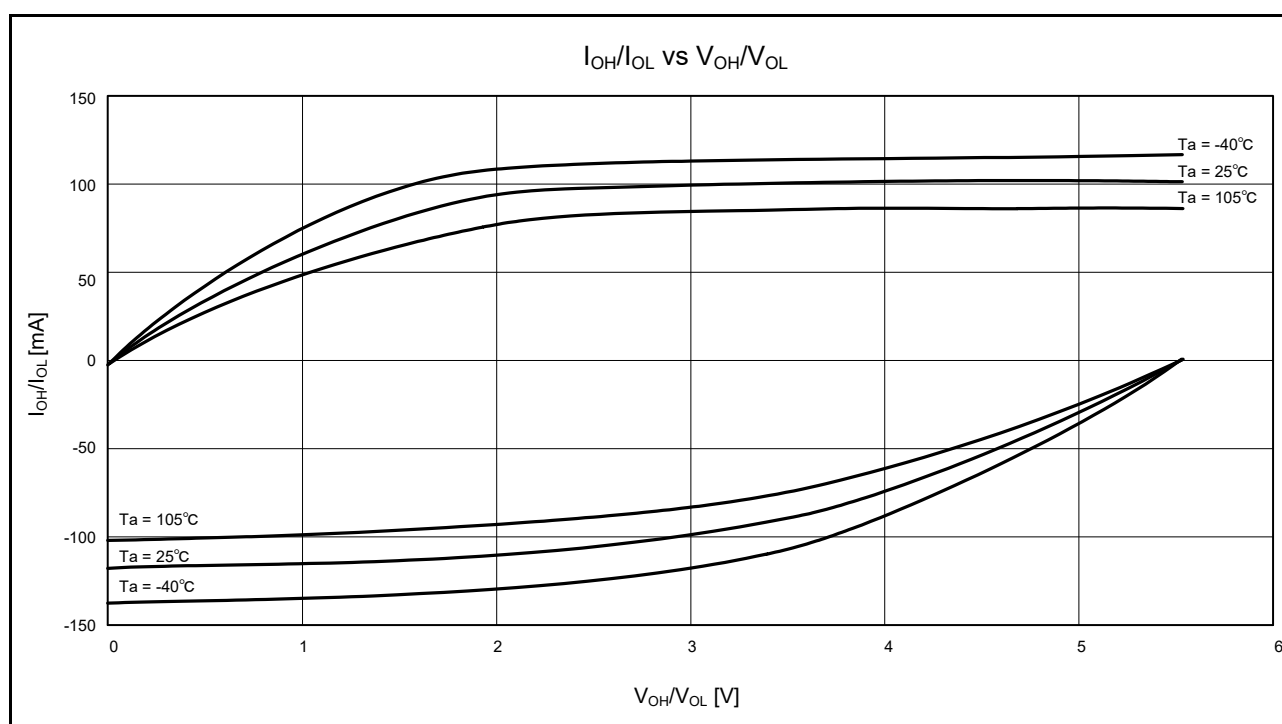


図 5.17 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 VCC = 5.5V (参考データ)

5.2.3 標準 I/O 端子出力特性 (3)

図 5.18 ～図 5.21 に RIIC 出力端子の特性を示します。

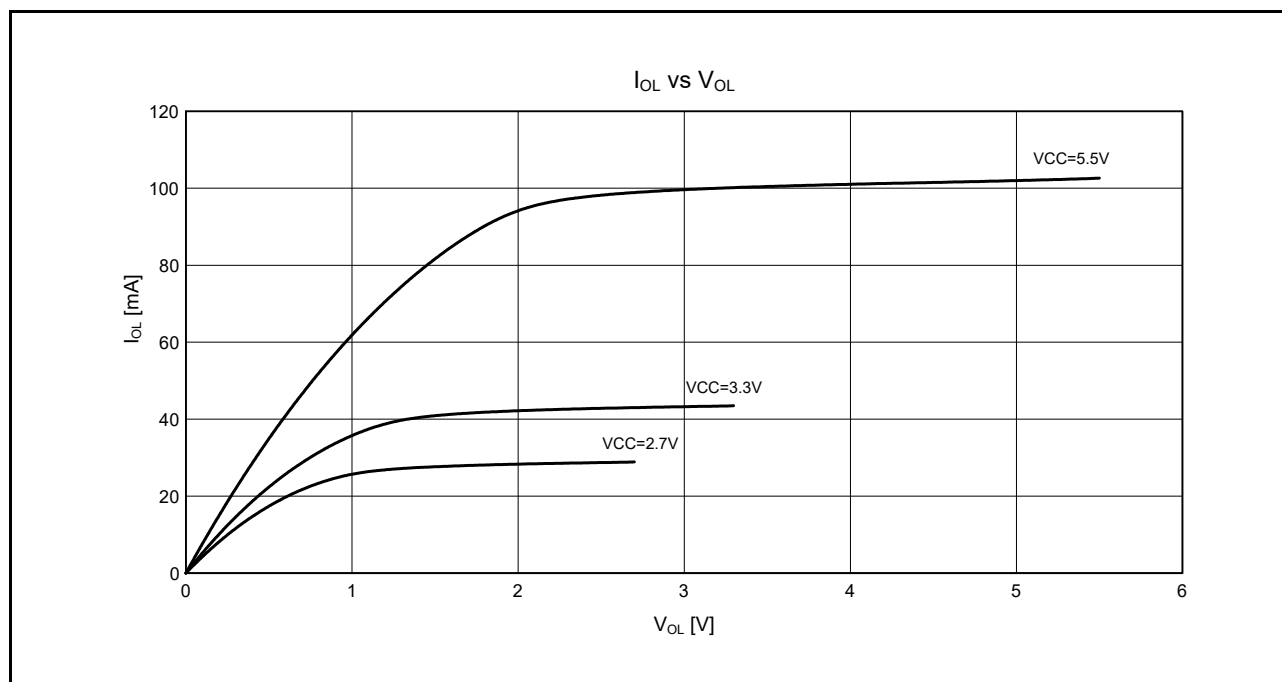


図 5.18 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

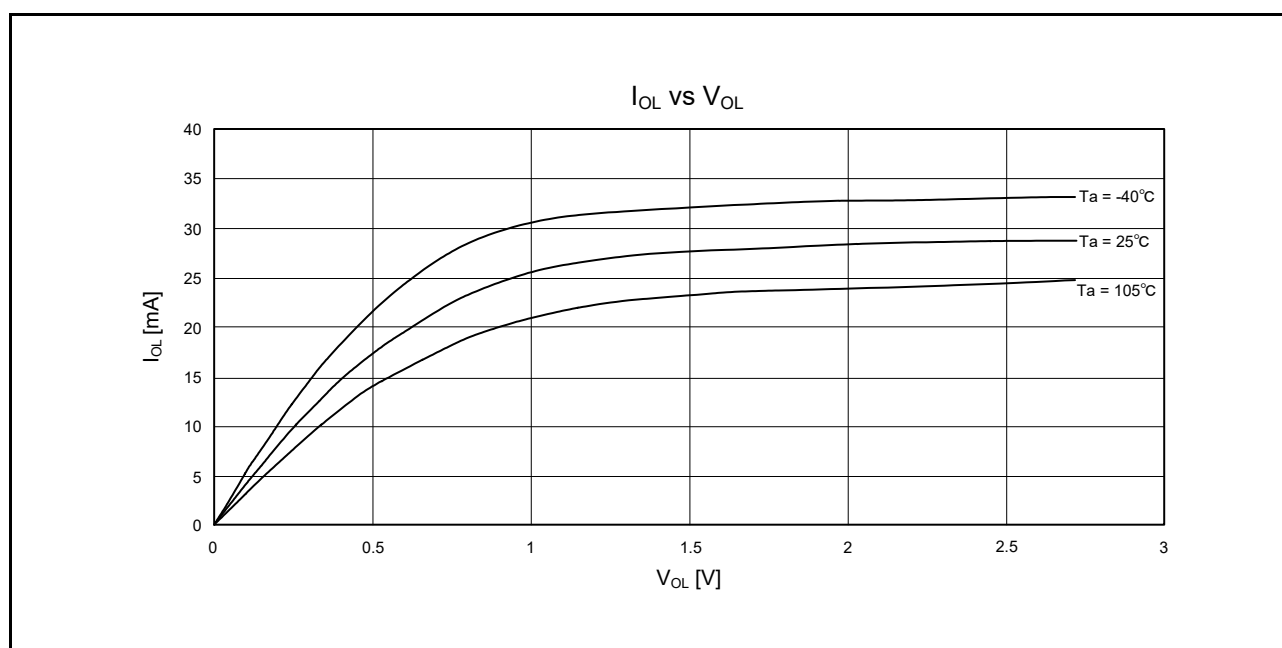
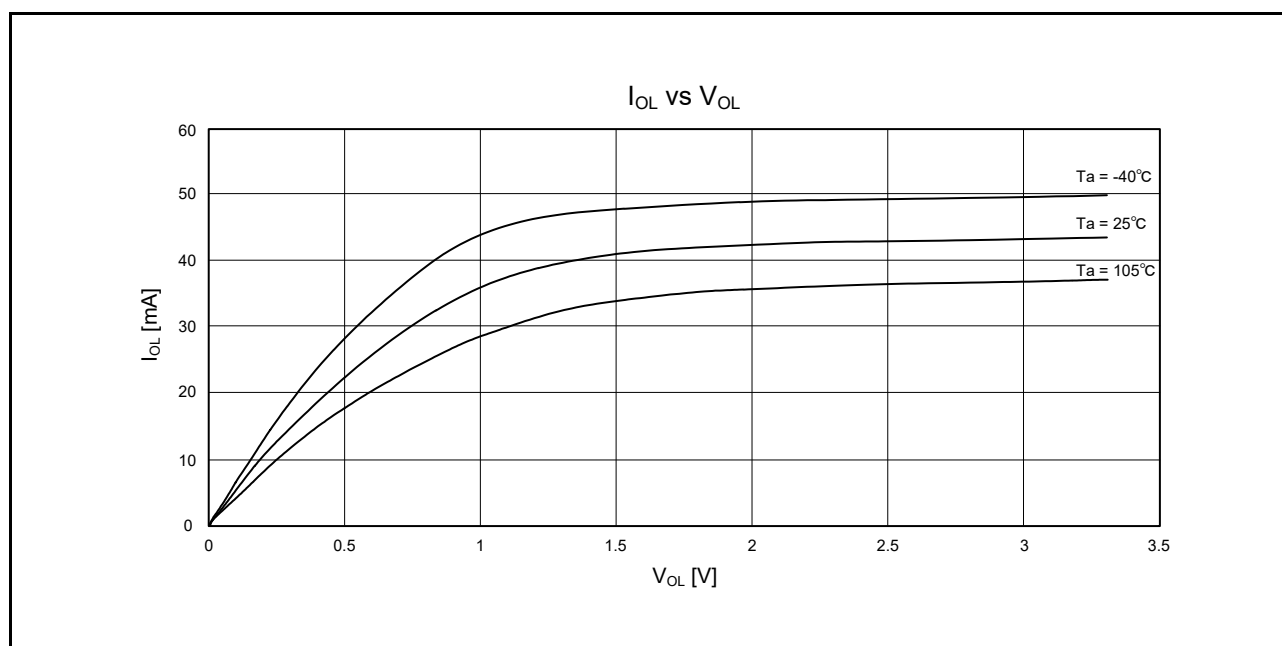
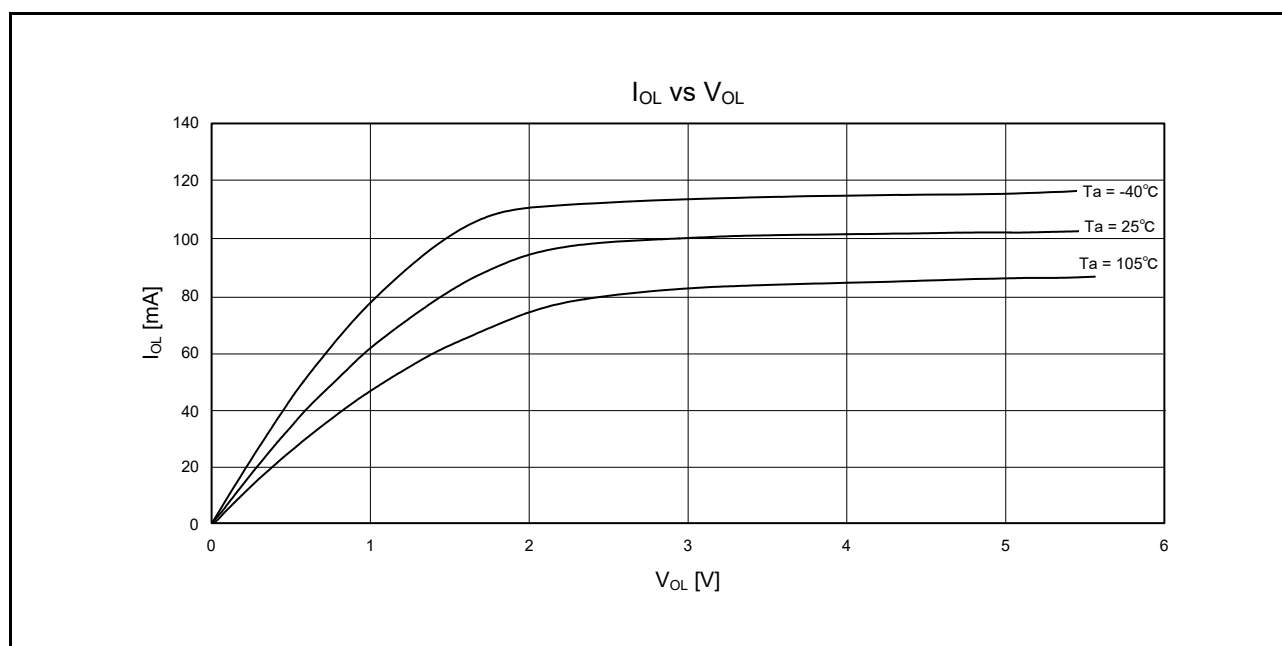


図 5.19 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

図 5.20 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)図 5.21 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.5V$ (参考データ)

5.3 AC 特性

5.3.1 クロックタイミング

表5.21 動作周波数（高速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	VCC				単位
			$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$	USB使用時 (注3)	
最大動作周波数 (注4)	システムクロック (ICLK)	f_{max}	8	16	54	54	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	32	
	周辺モジュールクロック (PCLKA)		8	16	54	54	
	周辺モジュールクロック (PCLKB)		8	16	32	32	
	周辺モジュールクロック (PCLKD)		8	32	54	54	
	外部バスクロック (BCLK)		8	16	32	32	
	BCLK端子出力		8	8	16	16	
	USBクロック (UCLK)	f_{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. USBクロック使用時のVCC_USBは3.0～5.5Vです。

注4. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表5.26 クロックタイミング」を参照してください。

表5.22 動作周波数（中速動作モード）

条件： $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	VCC				単位
			$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$	USB使用時 (注3)	
最大動作周波数 (注4)	システムクロック (ICLK)	f_{max}	8	12	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	12	
	周辺モジュールクロック (PCLKA)		8	12	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	12	
	周辺モジュールクロック (PCLKD)		8	12	12	12	
	外部バスクロック (BCLK)		8	12	12	12	
	BCLK端子出力		8	8	12	12	
	USBクロック (UCLK)	f_{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. USBクロック使用時のVCC_USBは3.0～5.5Vです。

注4. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表5.26 クロックタイミング」を参照してください。

表5.23 動作周波数（低速動作モード）

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	VCC			単位
			$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$	
最大動作周波数 (注3)	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKA)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			
	外部バスクロック (BCLK)		32.768			
	BCLK端子出力		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

注3. 記載している最高動作周波数には、外部発振子の誤差を含めず表記しています。動作保証範囲については、「表5.26 クロックタイミング」を参照してください。

表5.24 BCLKクロックタイミング (1)

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、
fBCLK ≤ 32MHz (BCLK端子出力周波数 ≤ 16MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t _{Bcyc}	62.5	—	—	ns	図5.22
BCLK端子出力Highレベルパルス幅	t _{CH}	15	—	—	ns	
BCLK端子出力Lowレベルパルス幅	t _{CL}	15	—	—	ns	
BCLK端子出力立ち上がり時間	t _{Cr}	—	—	12	ns	
BCLK端子出力立ち下がり時間	t _{Cf}	—	—	12	ns	

表5.25 BCLKクロックタイミング (2)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 < 2.7V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、
fBCLK ≤ 16MHz (BCLK端子出力周波数 ≤ 8MHz)、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t _{Bcyc}	125	—	—	ns	図5.22
BCLK端子出力Highレベルパルス幅	t _{CH}	30	—	—	ns	
BCLK端子出力Lowレベルパルス幅	t _{CL}	30	—	—	ns	
BCLK端子出力立ち上がり時間	t _{Cr}	—	—	25	ns	
BCLK端子出力立ち下がり時間	t _{Cf}	—	—	25	ns	

表5.26 クロックタイミング

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図5.23
EXTAL外部クロック入力パルス幅Highレベル	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t_{XWT}	0.5	—	—	μs	
メインクロック発振器発振周波数 (注2)	f_{MAIN}	$2.4 \leq VCC \leq 5.5$	1	—	20	
		$1.8 \leq VCC < 2.4$	1	—	8	
メインクロック発振安定時間 (水晶振動子) (注2)	$t_{MAINOSC}$	—	3	—	ms	図5.24
メインクロック発振安定時間 (セラミック共振子) (注2)	$t_{MAINOSC}$	—	50	—	μs	
LOCOクロック発振周波数	f_{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs	図5.25
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μs	図5.26
HOCOクロック発振周波数	f_{HOCO} (32MHz)	31.52	32	32.48	MHz	$T_a = -40 \sim +85^\circ C$
		31.68	32	32.32		$T_a = 0 \sim +55^\circ C$
		31.36	32	32.64		$T_a = -40 \sim +105^\circ C$
	f_{HOCO} (54MHz)	53.19	54	54.81	MHz	$T_a = -40 \sim +85^\circ C$
		53.46	54	54.54		$T_a = 0 \sim +55^\circ C$
		52.92	54	55.08		$T_a = -40 \sim +105^\circ C$
HOCOクロック発振安定時間	t_{HOCO}	—	—	30	μs	図5.28
PLL入力周波数 (注3)	f_{PLLIN}	4	—	12.5	MHz	
PLL回路発振周波数 (注3)	f_{PLL}	24	—	54	MHz	
PLLクロック発振安定時間	t_{PLL}	—	—	50	μs	図5.29
PLL自励発振周波数	f_{PLLFR}	—	8	—	MHz	
USBPLL入力周波数 (注5)	f_{PLLIN}	—	6、8 (注6)	—	MHz	
USBPLL回路発振周波数 (注5)	f_{PLL}	—	48 (注6)	—	MHz	
USBPLLクロック発振安定時間	t_{PLL}	—	—	50	μs	図5.29
サブクロック発振器発振周波数 (注7)	f_{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間 (注4)	t_{SUBOSC}	—	0.5	—	s	図5.30

注1. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLLを使用する場合、VCCは2.4～5.5Vにしてください。

注4. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注5. USBPLL使用時のVCCは3.0～5.5Vです。

注6. 入力周波数は6または8MHz、発振周波数は48MHzのみ設定可能です。

注7. 32.768kHzのみ使用可能です。

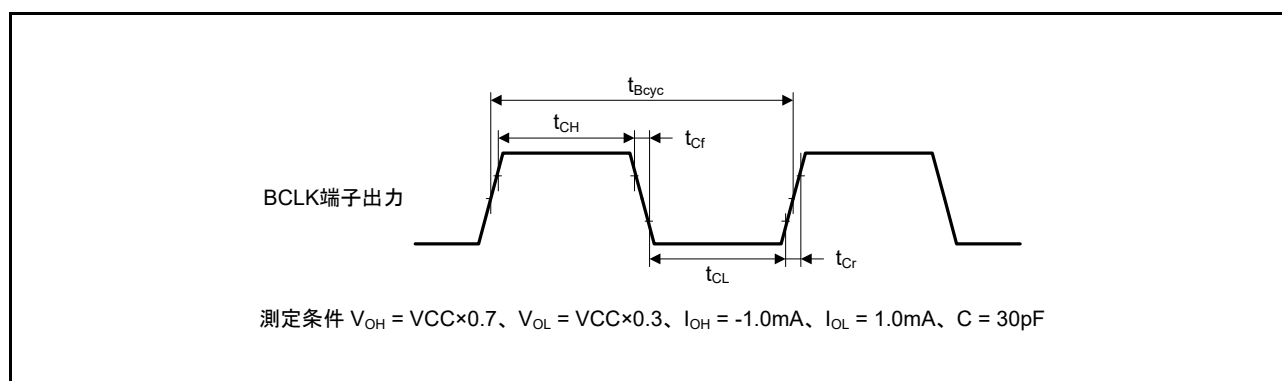


図 5.22 BCLK 端子出力タイミング

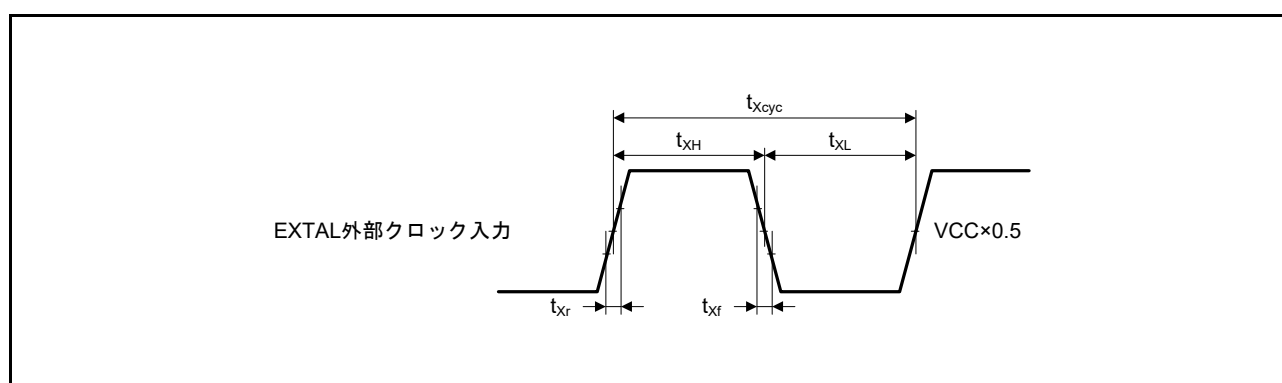


図 5.23 EXTAL 外部クロック入力タイミング

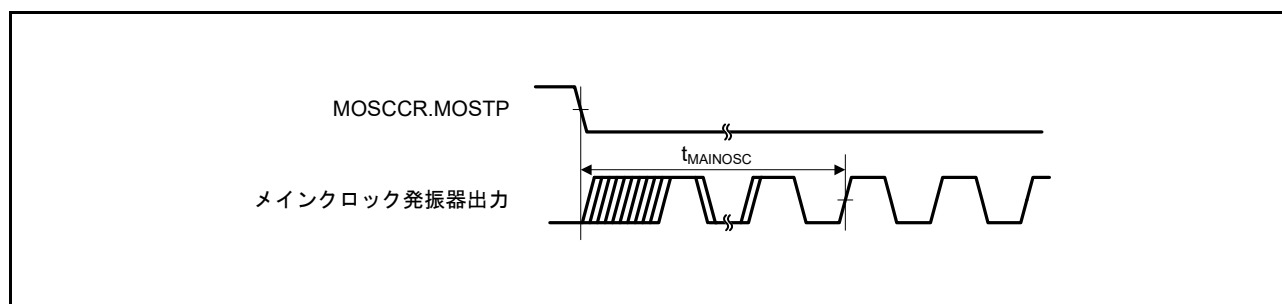


図 5.24 メインクロック発振開始タイミング

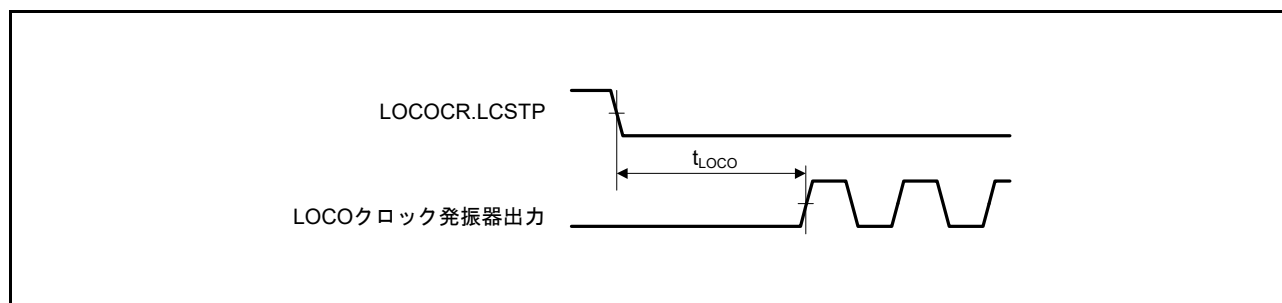


図 5.25 LOCO クロック発振開始タイミング

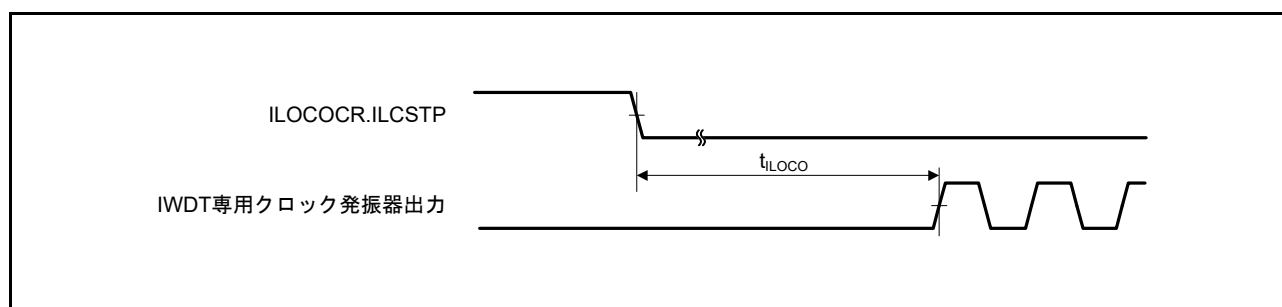


図 5.26 IWDTC 専用クロック発振開始タイミング

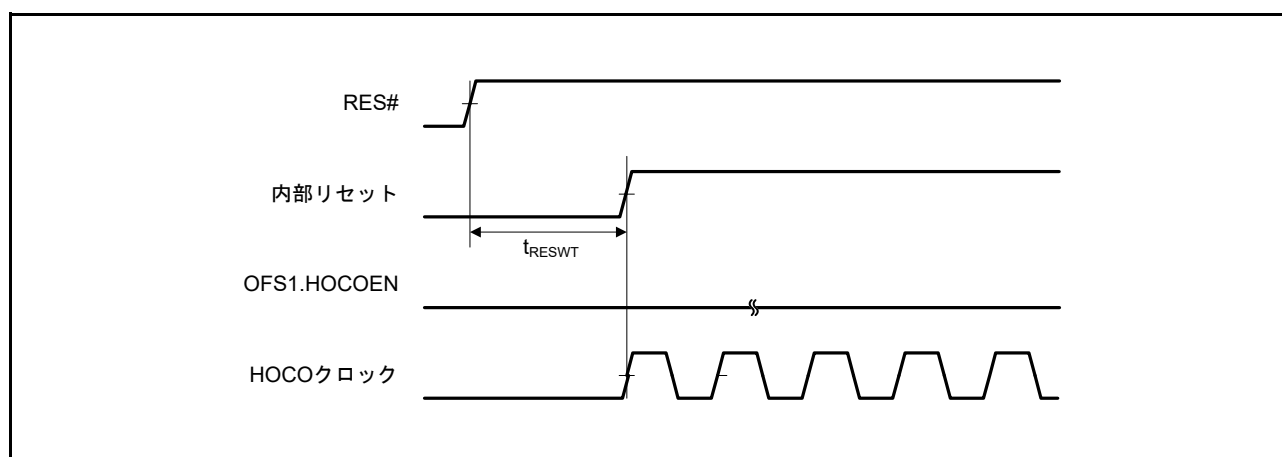


図 5.27 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

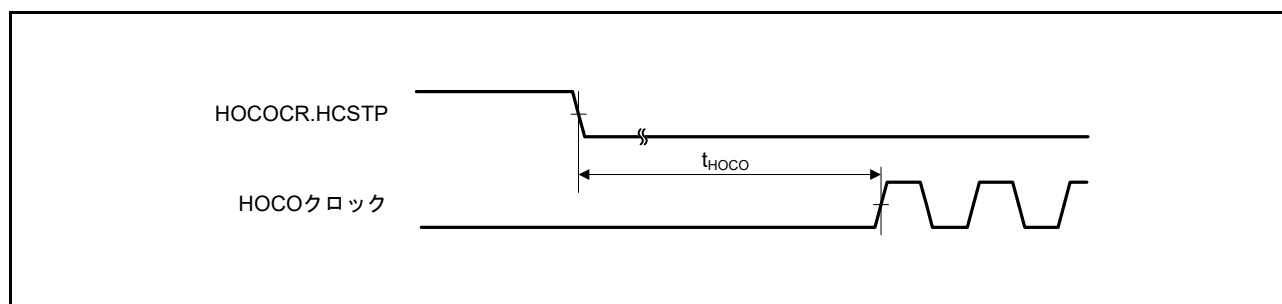


図 5.28 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

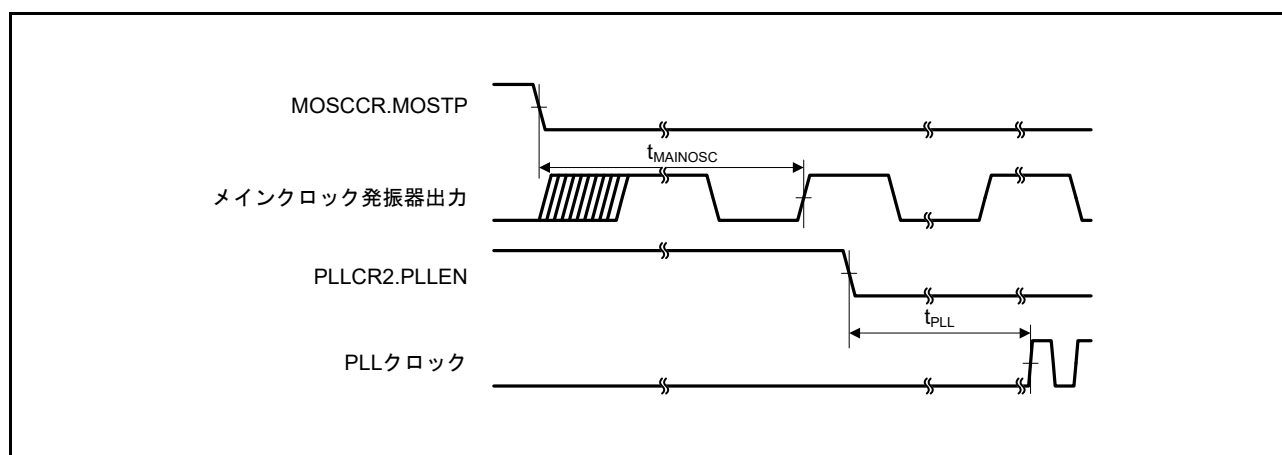


図 5.29 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

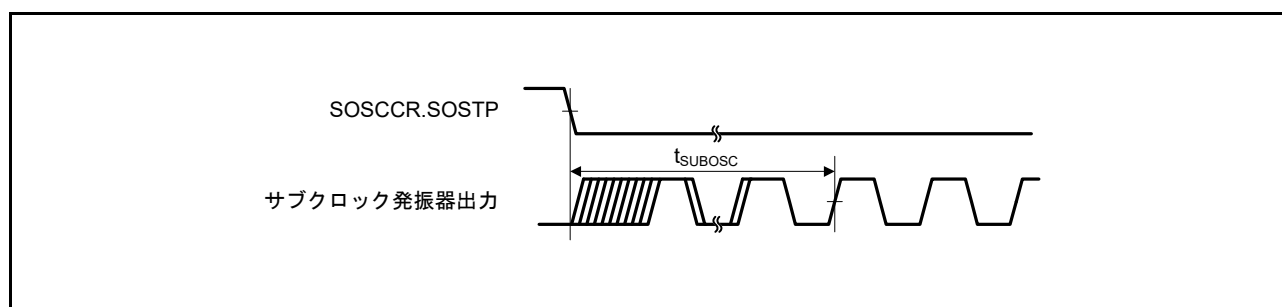


図 5.30 サブクロック発振開始タイミング

5.3.2 リセットタイミング

表5.27 リセットタイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 5.31
	上記以外	t _{RESW}	30	—	—	μs	図 5.32
RES#解除後待機時間 (電源投入時)	通常起動時 (注1)	t _{RESWT}	—	8.5	—	ms	図 5.31
	起動時間短縮時 (注2)	t _{RESWT}	—	560	—	μs	
RES#解除後待機時間 (電源立ち上がった状態)		t _{RESWT}	—	120	—	μs	図 5.32
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 5.33
ウォッチドッグタイマリセット期間		t _{RESWWW}	—	4	—	PCLKB cycle	
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間 (注3)		t _{RESWT2}	—	300	—	μs	
ウォッチドッグタイマリセット解除後待機時間 (注4)		t _{RESWT2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESWT2}	—	170	—	μs	

注1. OFS1.(LVDAS, FASTSTUP)ビット = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP)ビット = 11b以外を設定した場合です。

注3. IWDTCR.CKS[3:0]ビット = 0000bを設定した場合です。

注4. WDTCSR.CKS[3:0]ビット = 0001bを設定した場合です。

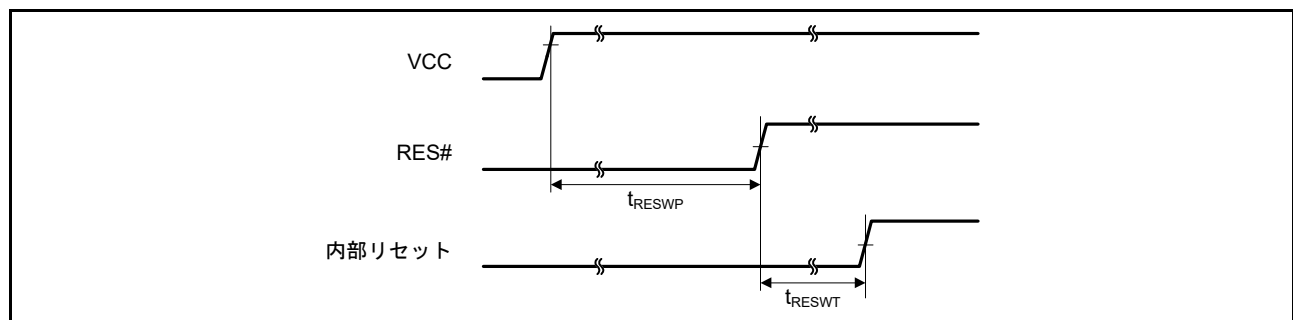


図 5.31 電源投入時リセット入力タイミング

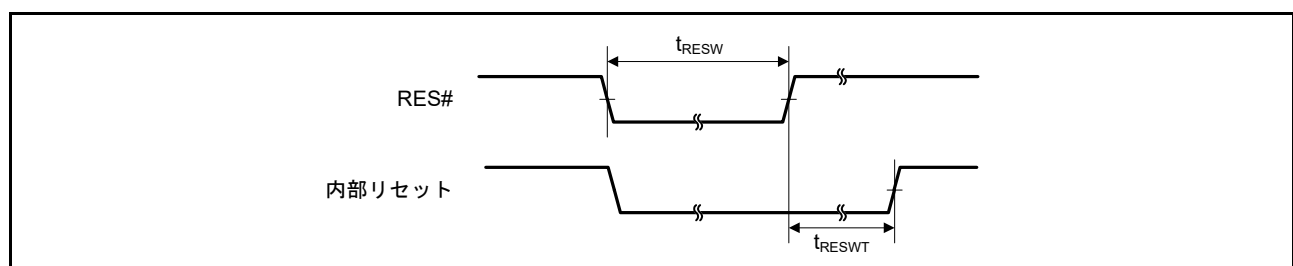


図 5.32 リセット入力タイミング (1)

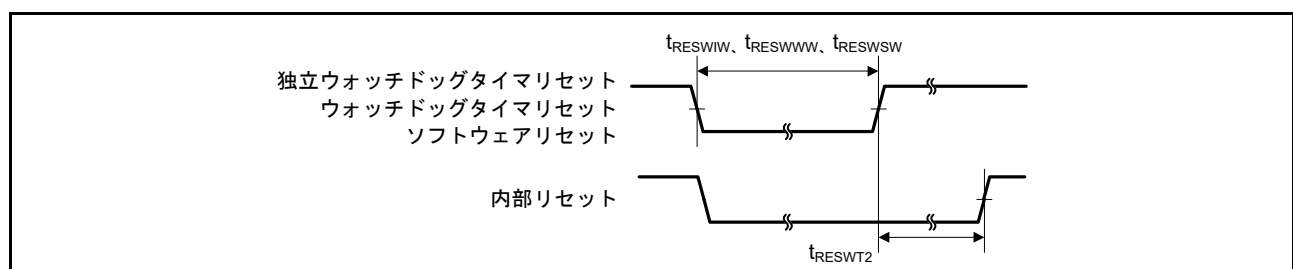


図 5.33 リセット入力タイミング (2)

5.3.3 低消費電力状態からの復帰タイミング

表5.28 低消費電力状態からの復帰タイミング (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t_{SBYMC}	—	2	3	ms	図 5.34
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t_{SBYEX}	—	35	50	μs	
		サブクロック発振器動作		t_{SBYSC}	—	650	800	μs	
		HOCOクロック動作		t_{SBYHO}	—	40	55	μs	
		LOCOクロック動作		t_{SBYLO}	—	40	55	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表5.29 低消費電力状態からの復帰タイミング (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t_{SBYMC}	—	2	3	ms	図 5.34
			メインクロック発振器、PLL回路動作 (注3)	t_{SBYPC}	—	2	3	ms	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注4)	t_{SBYEX}	—	3	4	μs	
			メインクロック発振器、PLL回路動作 (注5)	t_{SBYPE}	—	65	85	μs	
		サブクロック発振器動作		t_{SBYSC}	—	600	750	μs	
		HOCOクロック動作 (注6)		t_{SBYHO}	—	40	50	μs	
		LOCOクロック動作		t_{SBYLO}	—	5	7	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. PLLの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. PLLの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注6. システムクロックにHOCOを選択し8MHzとなるように分周設定した場合です。

表5.30 低消費電力状態からの復帰タイミング (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間(注1)	低速モード	サブクロック発振器動作	t_{SBYSC}	—	600	750	μs	図 5.34

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

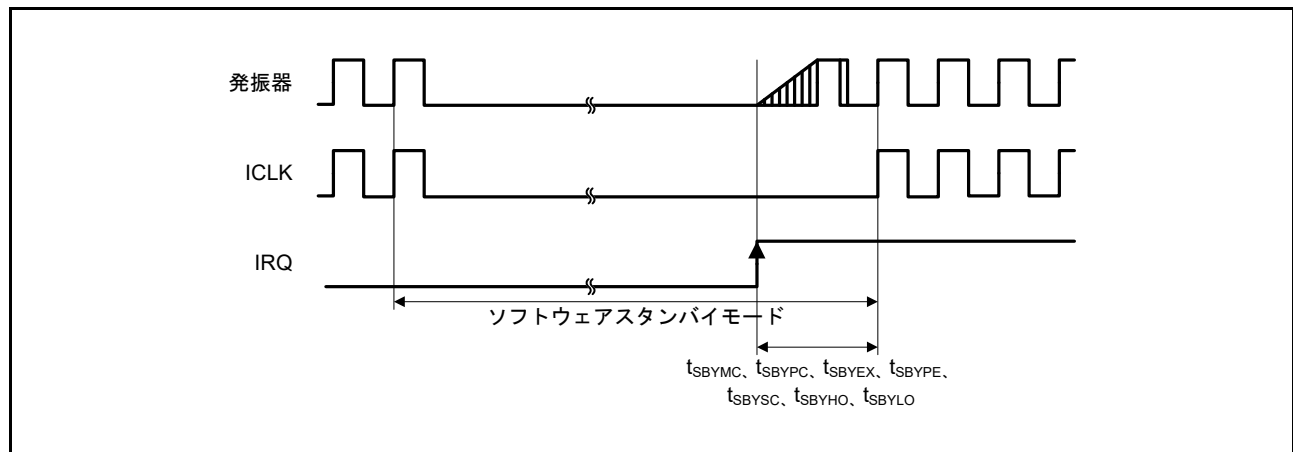


図 5.34 ソフトウェアスタンバイモード復帰タイミング

表5.31 低消費電力状態からの復帰タイミング (4)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード解除後復帰時間(注1)	高速モード(注2)	$t_{DSL P}$	—	2	3.5	μs	図 5.35
	中速モード(注3)	$t_{DSL P}$	—	3	4	μs	
	低速モード(注4)	$t_{DSL P}$	—	400	500	μs	

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

注4. システムクロック周波数が32kHzの場合です。

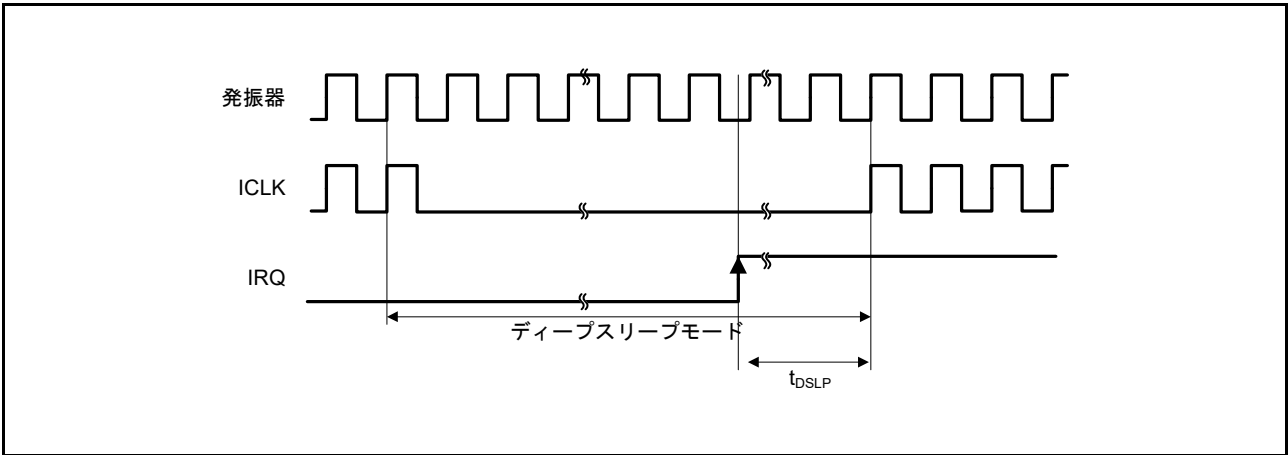


図 5.35 ディープスリープモード解除タイミング

表 5.32 動作モード遷移時間
条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	215	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	185	—	μs

注. PCLKA、PCLKB、PCLKD、FCLK、BCLKを分周していない設定時の値です。

5.3.4 制御信号タイミング

表5.33 制御信号タイミング

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイモード時は最小200nsです。

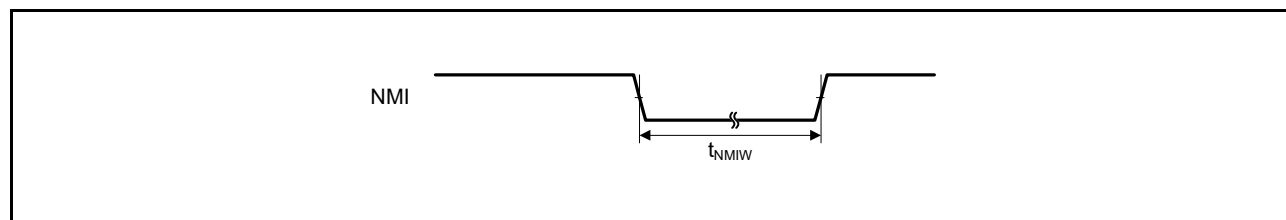
注1. t_{Pcyc}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック (i = 0 ~ 7) の周期を指します。

図 5.36 NMI 割り込み入力タイミング

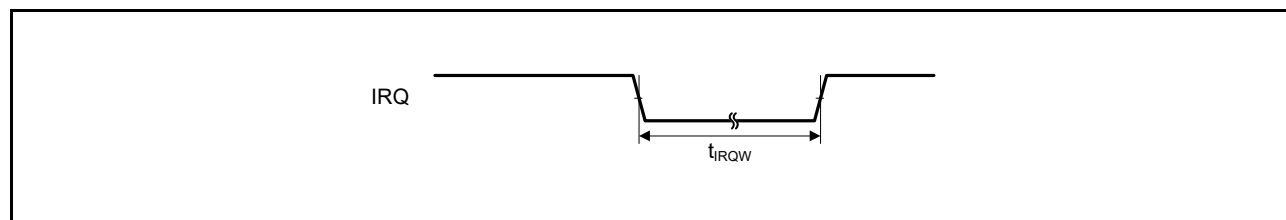


図 5.37 IRQ 割り込み入力タイミング

5.3.5 バスタイミング

表5.34 バスタイミング (1)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、
 $f_{BCLK} \leq 32MHz$ (BCLK端子出力周波数 $\leq 16MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、
 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C_L = 30pF$ 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	55	ns	図5.38～ 図5.41
バイトコントロール遅延時間	t_{BCD}	—	55	ns	
CS#遅延時間	t_{CSD}	—	55	ns	
RD#遅延時間	t_{RSD}	—	55	ns	
リードデータセットアップ時間	t_{RDS}	40	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	55	ns	
ライトデータ遅延時間	t_{WDD}	—	55	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	40	—	ns	図5.42
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表5.35 バスタイミング (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 < 2.7V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、
 $f_{BCLK} \leq 16MHz$ (BCLK端子出力周波数 $\leq 8MHz$)、 $T_a = -40 \sim +105^\circ C$ 、 $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、
 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C_L = 30pF$ 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	90	ns	図5.38～ 図5.41
バイトコントロール遅延時間	t_{BCD}	—	90	ns	
CS#遅延時間	t_{CSD}	—	90	ns	
RD#遅延時間	t_{RSD}	—	90	ns	
リードデータセットアップ時間	t_{RDS}	60	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	90	ns	
ライトデータ遅延時間	t_{WDD}	—	90	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	60	—	ns	図5.42
WAIT#ホールド時間	t_{WTH}	0	—	ns	

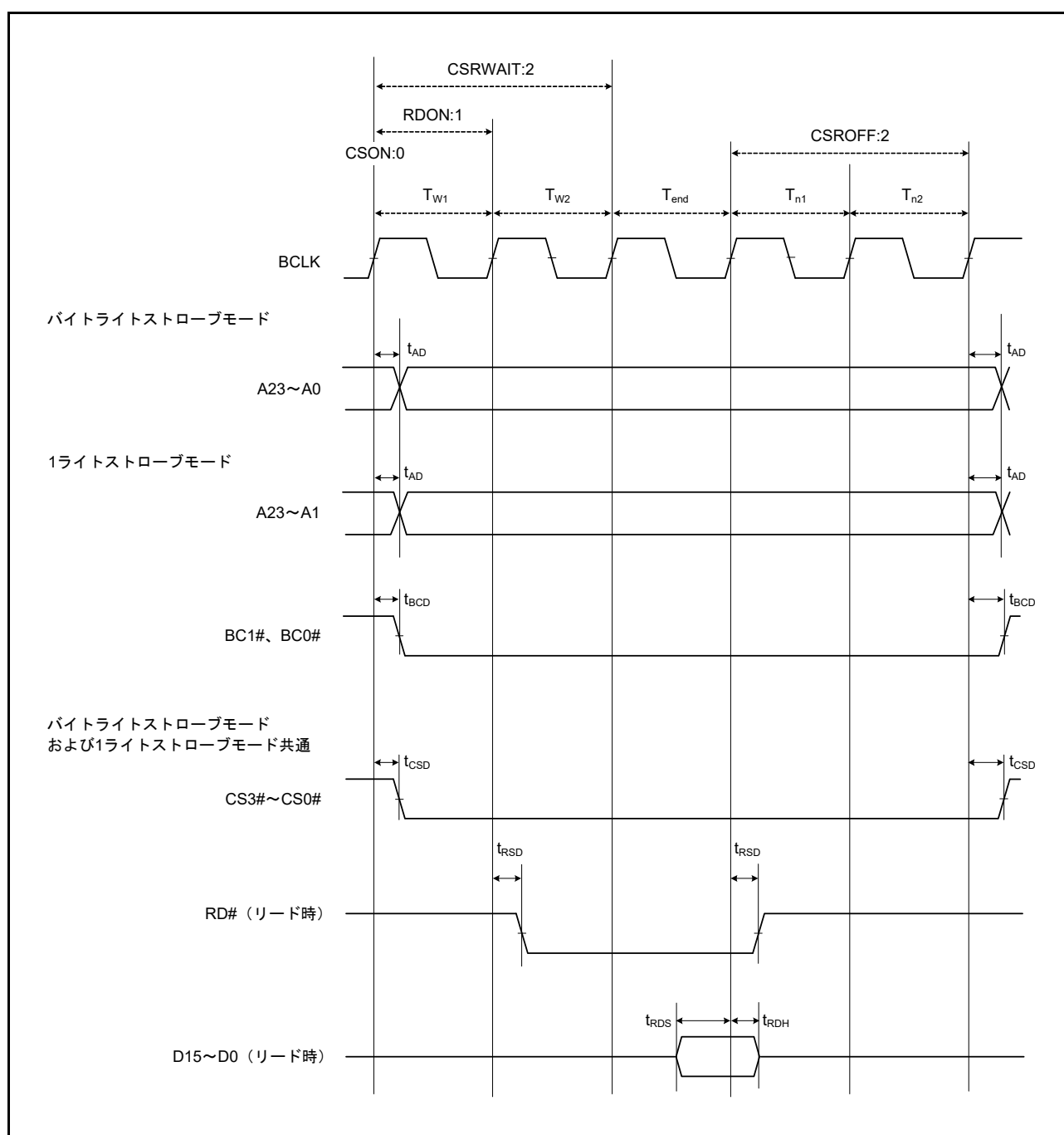


図 5.38 外部バスタイミング／ノーマルリードサイクル（バスクロック同期）

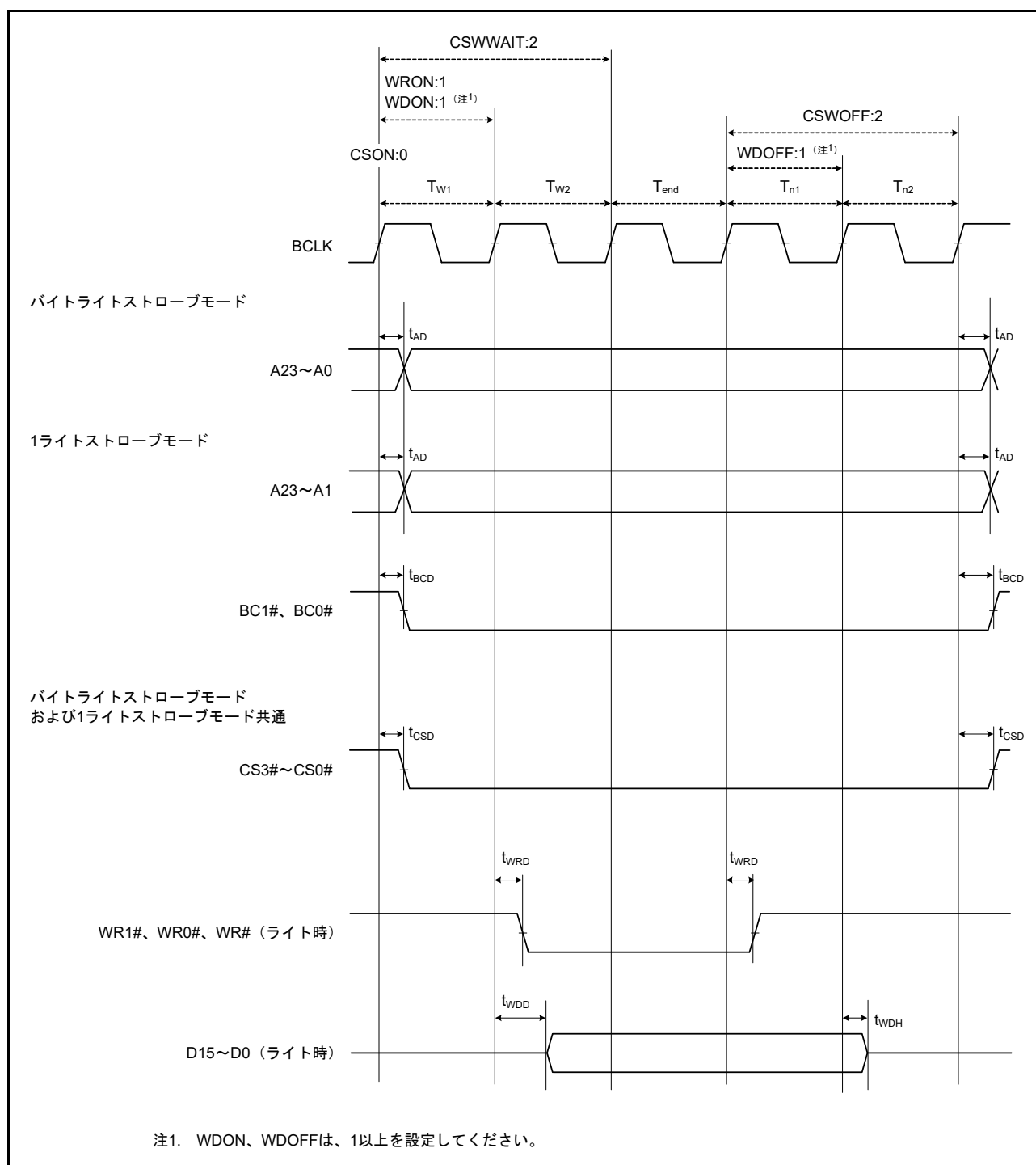


図 5.39 外部バスタイミング／ノーマルライトサイクル（バスクロック同期）

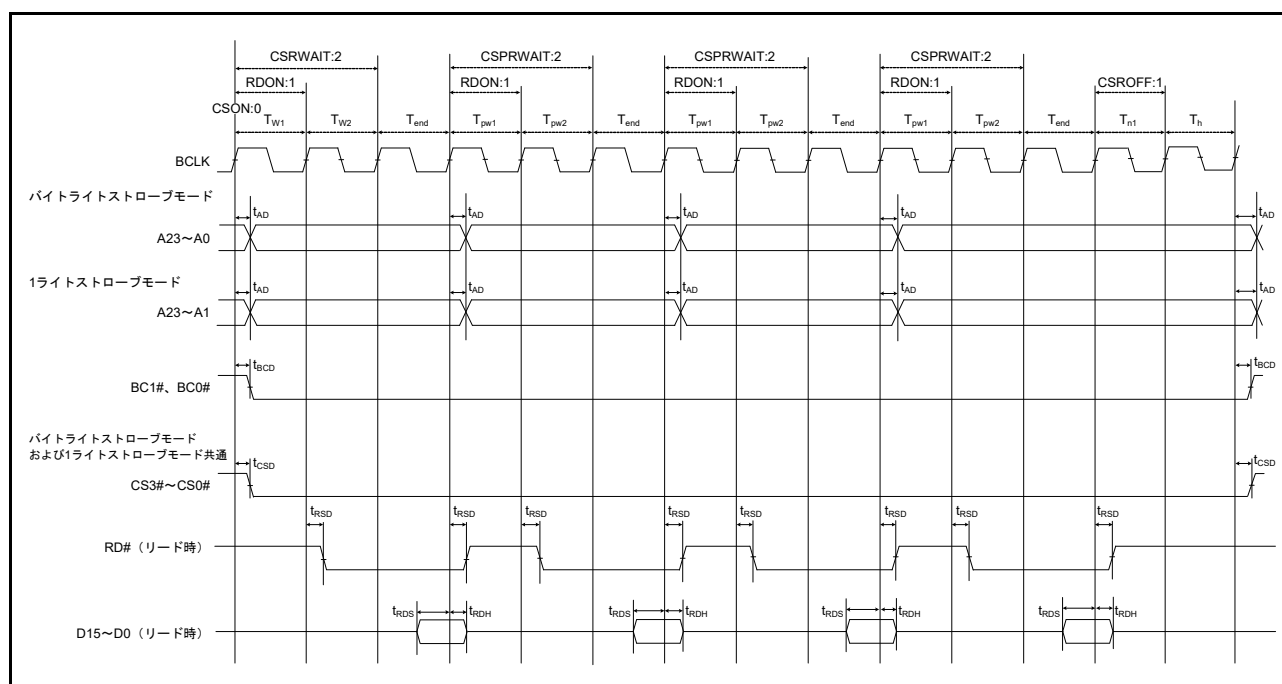


図 5.40 外部バスタイミング／ページリードサイクル（バスクロック同期）

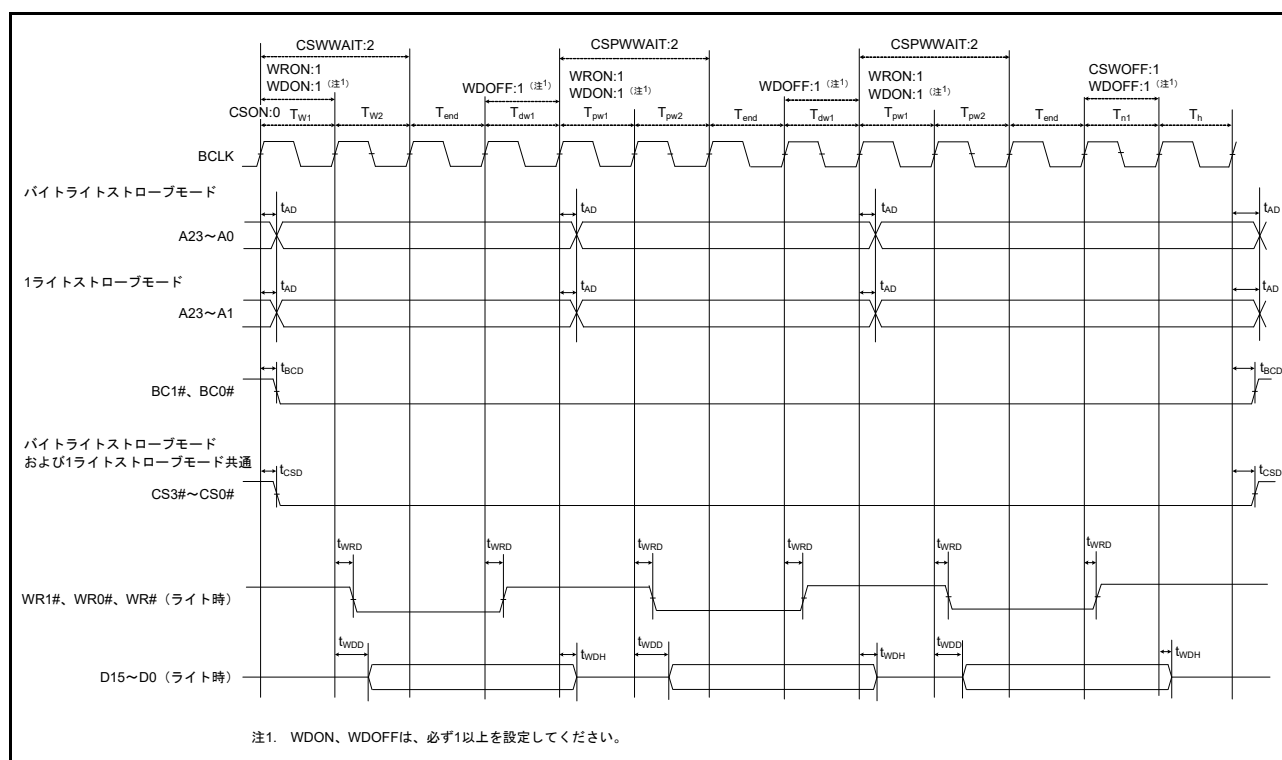


図 5.41 外部バスタイミング／ページライトサイクル（バスクロック同期）

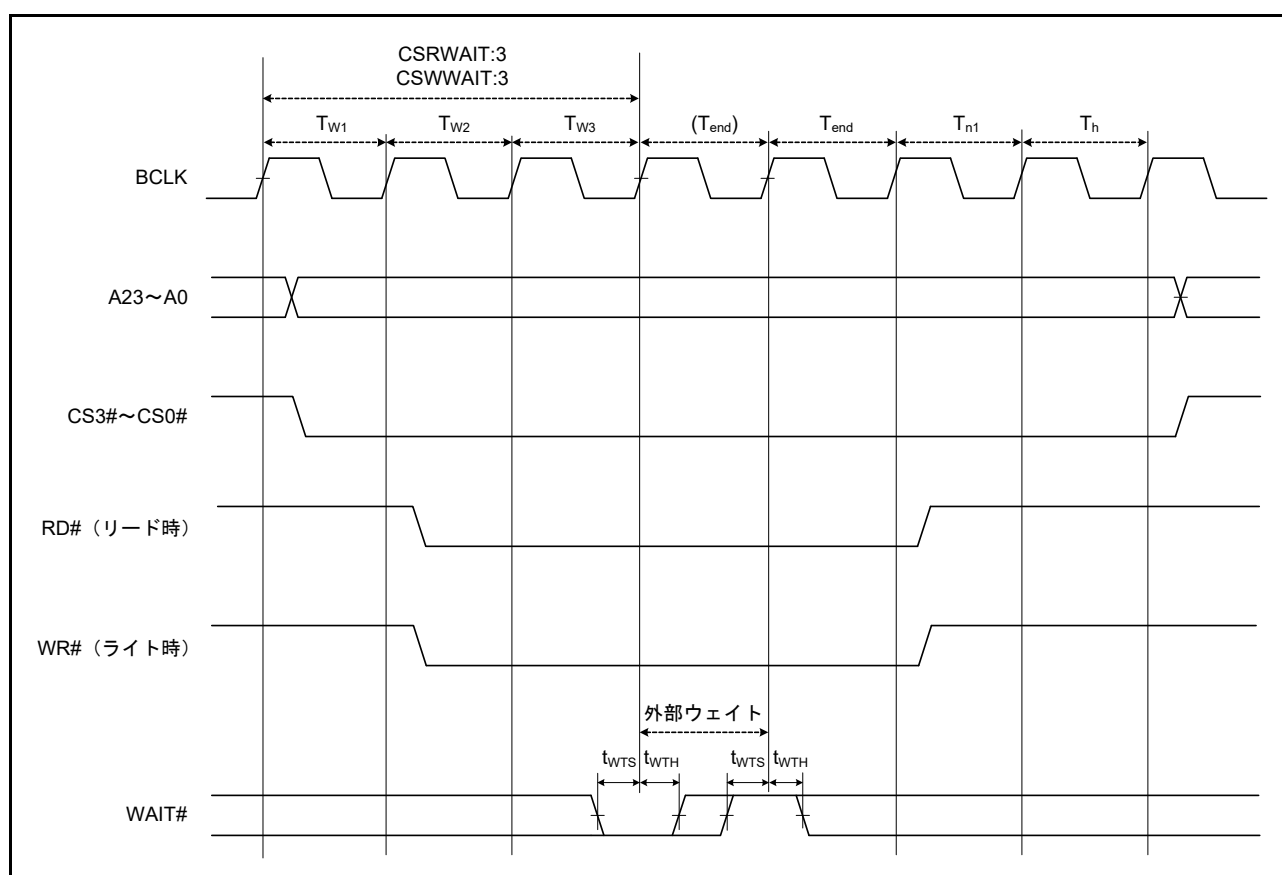


図 5.42 外部バスタイミング／外部ウェイト制御

表5.36 バスタイミング（マルチプレクスバス）（1）

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、
fBCLK ≤ 32MHz（BCLK端子出力周波数 ≤ 16MHz）、T_a = -40 ~ +105°C、V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、
I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	55	ns	図5.43、 図5.44
バイトコントロール遅延時間	t _{BCD}	—	55	ns	
CS#遅延時間	t _{CSD}	—	55	ns	
RD#遅延時間	t _{RSD}	—	55	ns	
ALE遅延時間	t _{ALED}	—	55	ns	
リードデータセットアップ時間	t _{RDS}	40	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	55	ns	
ライトデータ遅延時間	t _{WDD}	—	55	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	40	—	ns	図5.42
WAIT#ホールド時間	t _{WTH}	0	—	ns	

表5.37 バスタイミング（マルチプレクスバス）（2）

条件：1.8V ≤ VCC = VCC_USB = AVCC0 < 5.5V、VSS = AVSS0 = VSS_USB = 0V、
fBCLK ≤ 16MHz（BCLK端子出力周波数 ≤ 8MHz）、T_a = -40 ~ +105°C、V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、
I_{OH} = -1.0mA、I_{OL} = 1.0mA、C_L = 30pF 駆動能力制御レジスタで通常出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	90	ns	図5.43、 図5.44
バイトコントロール遅延時間	t _{BCD}	—	90	ns	
CS#遅延時間	t _{CSD}	—	90	ns	
RD#遅延時間	t _{RSD}	—	90	ns	
ALE遅延時間	t _{ALED}	—	90	ns	
リードデータセットアップ時間	t _{RDS}	60	—	ns	
リードデータホールド時間	t _{RDH}	0	—	ns	
WR#遅延時間	t _{WRD}	—	90	ns	
ライトデータ遅延時間	t _{WDD}	—	90	ns	
ライトデータホールド時間	t _{WDH}	0	—	ns	
WAIT#セットアップ時間	t _{WTS}	60	—	ns	図5.42
WAIT#ホールド時間	t _{WTH}	0	—	ns	

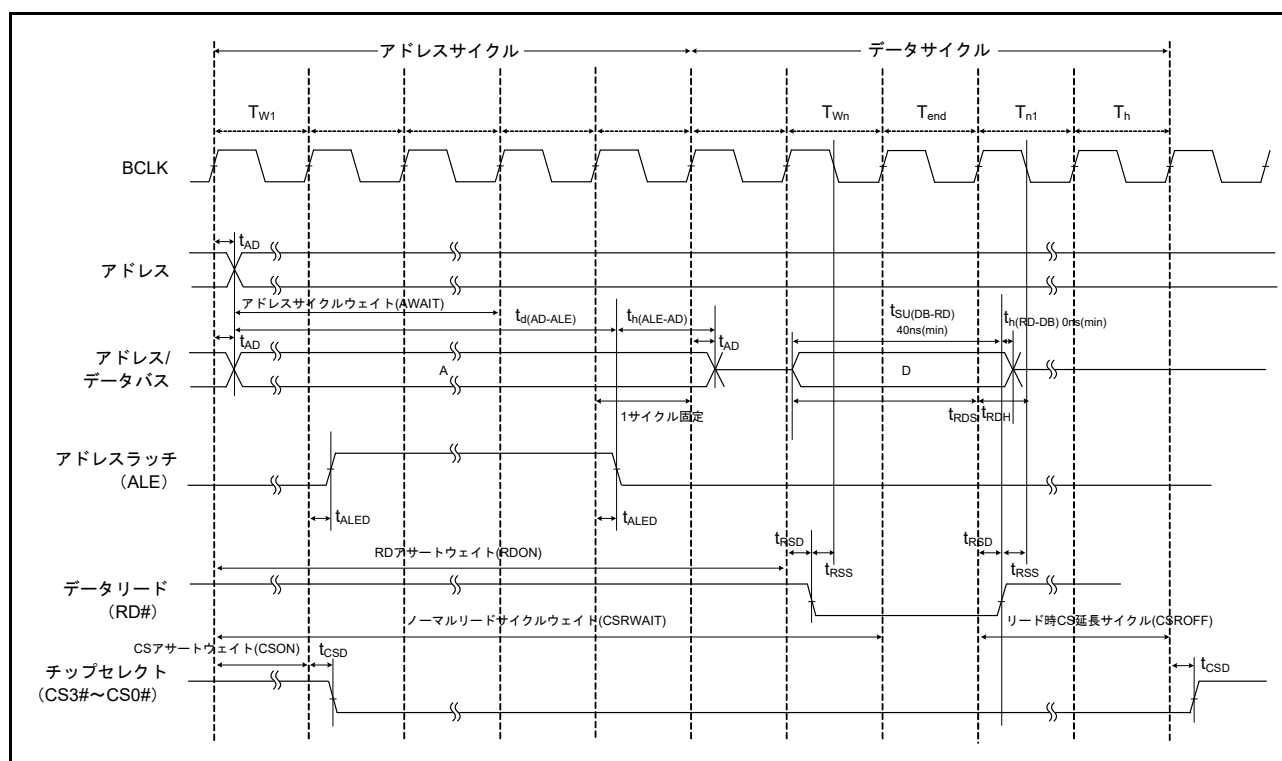


図 5.43 外部バスタイミング／リードアクセスの動作例（マルチプレクス）

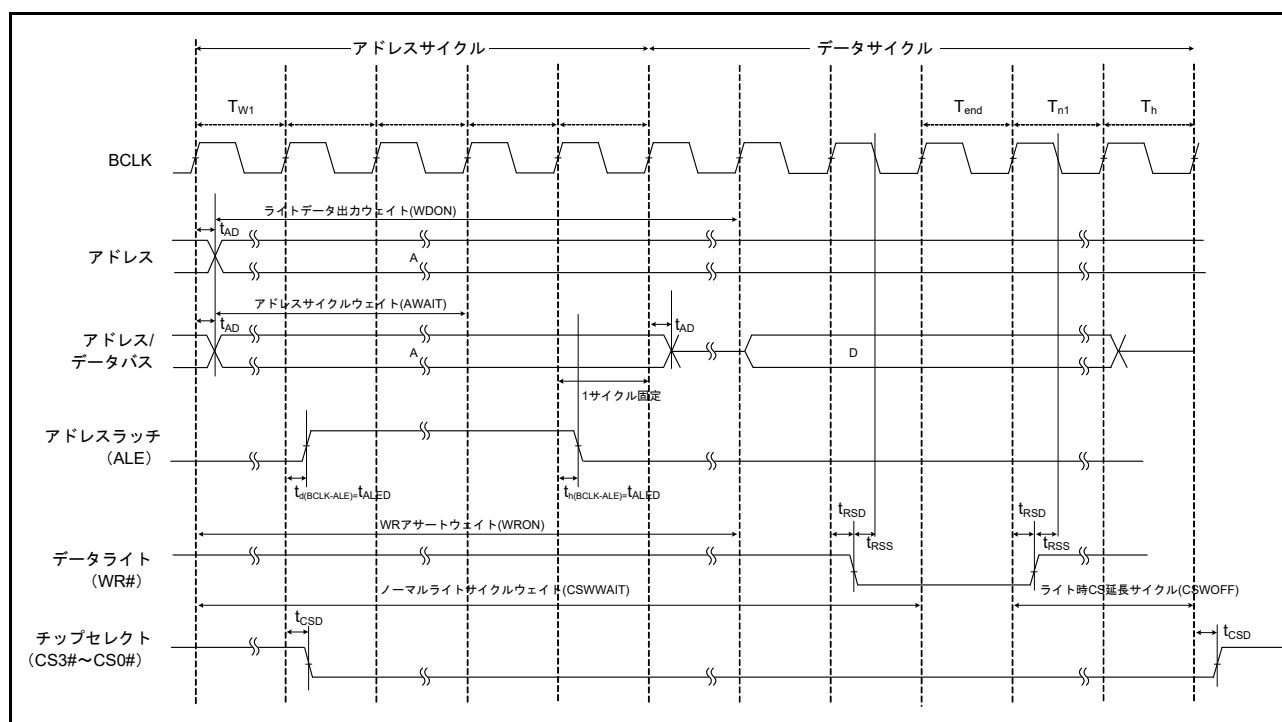


図 5.44 外部バスタイミング／ライトアクセスの動作例（マルチプレクス）

5.3.6 内蔵周辺モジュールタイミング

表5.38 内蔵周辺モジュールタイミング (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VSS_USB = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅			t _{PRW}	1.5	—	t _{Pcyc}	図5.45
MTU2/TPU	インプットキャプチャ入力パルス幅	単エッジ指定	t _{TICW}	1.5	—	t _{Pcyc}	図5.46	
		両エッジ指定		2.5	—			
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} 、 t _{TCKWL}	1.5	—	t _{Pcyc}	図5.47	
		両エッジ指定		2.5	—			
		位相計数モード		2.5	—			
POE2	POE#入力パルス幅			t _{POEW}	1.5	—	t _{Pcyc}	図5.48
TMR	タイマクロックパルス幅	単エッジ指定	t _{TMCWH} 、 t _{TMCWL}	1.5	—	t _{Pcyc}	図5.49	
		両エッジ指定		2.5	—			
SCI	入力クロックサイクル時間	調歩同期	t _{Scyc}	4	—	t _{Pcyc}	図5.50	
		クロック同期		6	—			
	入力クロックパルス幅			t _{SCKW}	0.4	0.6	t _{Scyc}	図5.51
	入力クロック立ち上がり時間			t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間			t _{SCKf}	—	20	ns	
	出力クロックサイクル時間	調歩同期	t _{Scyc}	16	—	t _{Pcyc}		
		クロック同期		4	—			
	出力クロックパルス幅			t _{SCKW}	0.4	0.6	t _{Scyc}	
	出力クロック立ち上がり時間			t _{SCKr}	—	20	ns	
	出力クロック立ち下がり時間			t _{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期		t _{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック 同期	2.7V以上		—	65	ns	
			1.8V以上		—	100	ns	
	受信データセットアップ 時間 (マスタ)	クロック 同期	2.7V以上	t _{RXS}	65	—	ns	
			1.8V以上		90	—	ns	
	受信データセットアップ 時間 (スレーブ)	クロック同期			40	—	ns	
	受信データホールド時間	クロック同期		t _{RXH}	40	—	ns	
A/Dコンバータ	トリガ入力パルス幅			t _{TRGW}	1.5	—	t _{Pcyc}	図5.52
CAC	CACREF入力パルス幅	t _{Pcyc} ≤ t _{cac} (注2)	t _{CACREF}	4.5 t _{cac} + 3 t _{Pcyc}	—	ns		
		t _{Pcyc} > t _{cac} (注2)		5 t _{cac} + 6.5 t _{Pcyc}				
CLKOUT	CLKOUT 端子出力サイクル (注4)	VCC = 2.7V 以上	t _{Ccyc}	62.5	—	ns	図5.53	
		VCC = 1.8V 以上		125				
	CLKOUT 端子 High レベルパルス幅 (注3)	VCC = 2.7V 以上	t _{CH}	15	—	ns		
		VCC = 1.8V 以上		30				
	CLKOUT 端子 Low レベルパルス幅 (注3)	VCC = 2.7V 以上	t _{CL}	15	—	ns		
		VCC = 1.8V 以上		30				
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	t _{Cr}	—	12	ns		
		VCC = 1.8V 以上		25				
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	t _{Cf}	—	12	ns			
	VCC = 1.8V 以上		25					

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウンタクロックソースの周期

注3. クロック出力ソースにLOCO選択 (CKOCR.CKOSSEL[2:0]ビット=000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0]ビット=001b) に設定してください。

注4. EXTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[2:0]ビット=010bかつCKOCR.CKODIV[2:0]ビット=000b) をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表5.39 内蔵周辺モジュールタイミング (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、 $C = 30pF$

駆動能力制御レジスタで高駆動出力を選択時

項目				記号	min	max	単位	測定条件
RSPI	RSPCKクロック サイクル	マスタ		t_{SPcyc}	2	4096	t_{Pcyc} (注 1)	図 5.54
		スレーブ			8	4096		
	RSPCKクロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCKクロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCKクロック 立ち上がり / 立ち下がり時間	出力		t_{SPCKr} 、 t_{SPCKf}	—	10	ns	
		1.8V 以上			—	15		
		入力			—	1	μs	
	データ入力セット アップ時間	マスタ		t_{SU}	10	—	ns	図 5.55 ~ 図 5.58
		1.8V 以上			30	—		
		スレーブ			$25 - t_{Pcyc}$	—		
	データ入力ホールド 時間	マスタ		t_H	t_{Pcyc}	—	ns	
		RSPCK を PCLKB の 2 分周以外に設定			t_{HF}	0		
		スレーブ	t_H	$20 + 2 \times t_{Pcyc}$	—			
	SSL セットアップ 時間	マスタ		t_{LEAD}	$-30 + N$ (注 2) $\times$ t_{SPcyc}	—	ns	
		スレーブ			2	—	t_{Pcyc}	
	SSL ホールド時間	マスタ		t_{LAG}	$-30 + N$ (注 3) $\times$ t_{SPcyc}	—	ns	
		スレーブ			2	—	t_{Pcyc}	
	データ出力遅延時間	マスタ		t_{OD}	—	14	ns	
1.8V 以上		—			30			
スレーブ		—			$3 \times t_{Pcyc} + 65$			
1.8V 以上		—			$3 \times t_{Pcyc} + 105$			
データ出力ホールド 時間	マスタ		t_{OH}	0	—	ns		
	スレーブ			0	—			
連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns		
	スレーブ			$4 \times t_{Pcyc}$	—			
MOSI、MISO 立ち上がり / 立ち下がり時間	出力		t_{Dr} 、 t_{Df}	—	10	ns		
	1.8V 以上			—	15			
	入力			—	1		μs	
SSL 立ち上がり / 立ち下がり時間	出力		t_{SSLr} 、 t_{SSLf}	—	10	ns		
	1.8V 以上			—	15	ns		
	入力			—	1	μs		
スレーブアクセス時間		2.7V 以上	t_{SA}	—	6	t_{Pcyc}	図 5.57、 図 5.58	
		1.8V 以上		—	7			
スレーブ出力開放時間		2.7V 以上	t_{REL}	—	5	t_{Pcyc}		
		1.8V 以上		—	6			

注1. t_{Pcyc} : PCLKの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1～8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1～8の整数

表5.40 内蔵周辺モジュールタイミング (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力（マスタ）		t_{SPcyc}	4	65536	t_{Pcyc}	図 5.54
	SCKクロックサイクル入力（スレーブ）			6	65536	t_{Pcyc}	
	SCKクロックHighレベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間		t_{SPCKr} 、 t_{SPCKf}	—	20	ns	
図 5.55、 図 5.56	データ入力セットアップ時間 （マスタ）	2.7V 以上	t_{SU}	65	—	ns	
		1.8V 以上		95	—		
	データ入力セットアップ時間（スレーブ）			40	—		
	データ入力ホールド時間		t_H	40	—	ns	
	SSL入力セットアップ時間		t_{LEAD}	3	—	t_{SPcyc}	
	SSL入力ホールド時間		t_{LAG}	3	—	t_{SPcyc}	
	データ出力遅延時間（マスタ）		t_{OD}	—	40	ns	
	データ出力遅延時間（スレーブ）	2.7V 以上		—	65		
		1.8V 以上		—	100		
	データ出力ホールド時間 （マスタ）	2.7V 以上	t_{OH}	−10	—	ns	
		1.8V 以上		−20	—		
	データ出力ホールド時間（スレーブ）			−10	—		
	データ立ち上がり/立ち下がり時間		t_{Dr} 、 t_{Df}	—	20	ns	
	SSL入力立ち上がり/立ち下がり時間		t_{SSLr} 、 t_{SSLf}	—	20	ns	
	スレーブアクセス時間		t_{SA}	—	6	t_{Pcyc}	図 5.57、 図 5.58
	スレーブ出力開放時間		t_{REL}	—	6	t_{Pcyc}	

注1. t_{Pcyc} : PCLKの周期

表5.41 内蔵周辺モジュールタイミング (4)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1、注2)	max	単位	測定条件
IIC (スタンダード モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図5.59
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
IIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図5.59
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : IICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表5.42 内蔵周辺モジュールタイミング (5)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t_{Sr}	—	1000	ns	図5.59
	SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	250	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t_{Sr}	—	300	ns	図5.59
	SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	100	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{Pcyc} : PCLKの周期注1. C_b はバスラインの容量総計です。

表5.43 内蔵周辺モジュールタイミング (6)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
SSI	AUDIO_MCLK入力周波数	2.7V以上	t_{AUDIO}	1	25	MHz	
		1.8V以上		1	4		
	出力クロック周期		t_O	250	—	ns	図5.60
	入力クロック周期		t_I	250	—	ns	
	クロックHighレベル		t_{HC}	0.4	0.6	t_o 、 t_i	
	クロックLowレベル		t_{LC}	0.4	0.6	t_o 、 t_i	
	クロック立ち上がり時間		t_{RC}	—	20	ns	
	データ遅延時間	2.7V以上	t_{DTR}	—	65	ns	図5.61 図5.62
		1.8V以上		—	105		
	セットアップ時間	2.7V以上	t_{SR}	65	—	ns	
		1.8V以上		90	—		
	ホールド時間		t_{HTR}	40	—	ns	
	WS変化エッジSSIDATA出力遅延		t_{DTRW}	—	105	ns	図5.63

表5.44 内蔵周辺モジュールタイミング (7)

条件 : $2.7V \leq VCC = VCC_USB = AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$
 駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位	測定条件
SDHI	SDHI_CLK端子出力サイクル時間	$t_{PP(SD)}$	62.5	—	ns	図5.64
	SDHI_CLK端子出力Highレベルパルス幅	$t_{WH(SD)}$	18.25	—	ns	
	SDHI_CLK端子出力Lowレベルパルス幅	$t_{WL(SD)}$	18.25	—	ns	
	SDHI_CLK端子出力立ち上がり時間	$t_{TLH(SD)}$	—	10	ns	
	SDHI_CLK端子出力立ち下がり時間	$t_{THL(SD)}$	—	10	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 出力データ遅延時間 (データ転送モード)	$t_{ODLY(SD)}$	-18.25	18.25	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データセットアップ時間	$t_{ISU(SD)}$	9.25	—	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データホールド時間	$t_{IH(SD)}$	8.3	—	ns	

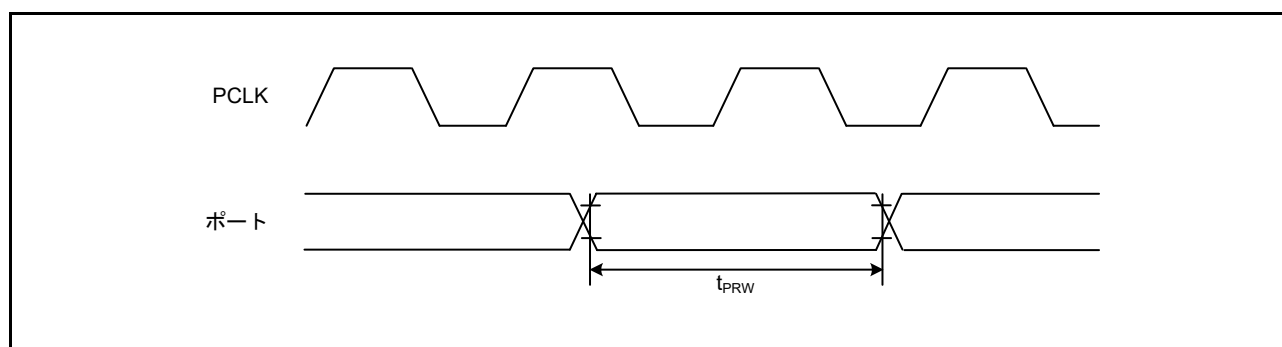


図 5.45 I/O ポート入力タイミング

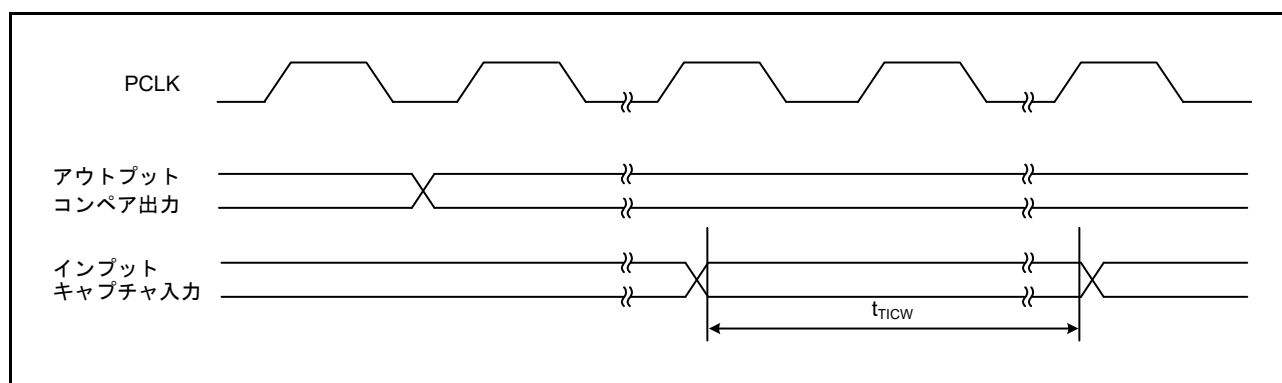


図 5.46 MTU2 入出力タイミング

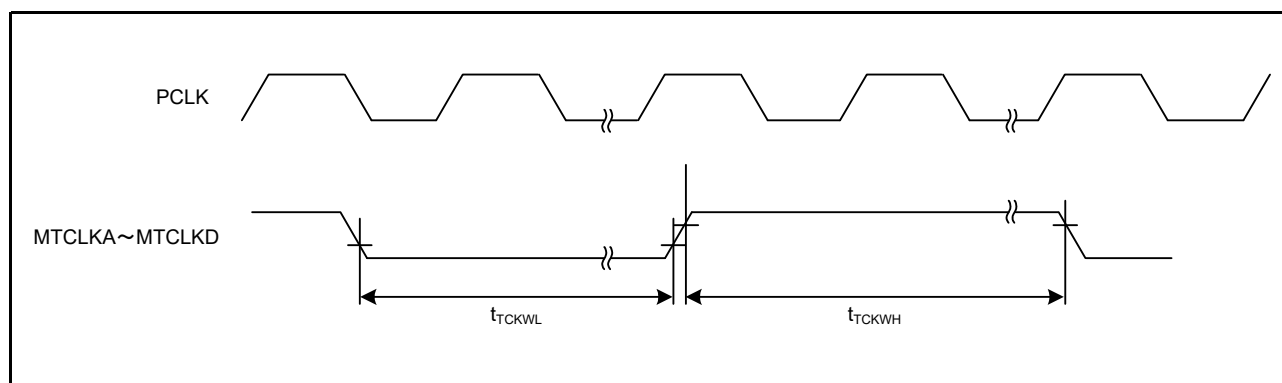


図 5.47 MTU2 クロック入力タイミング

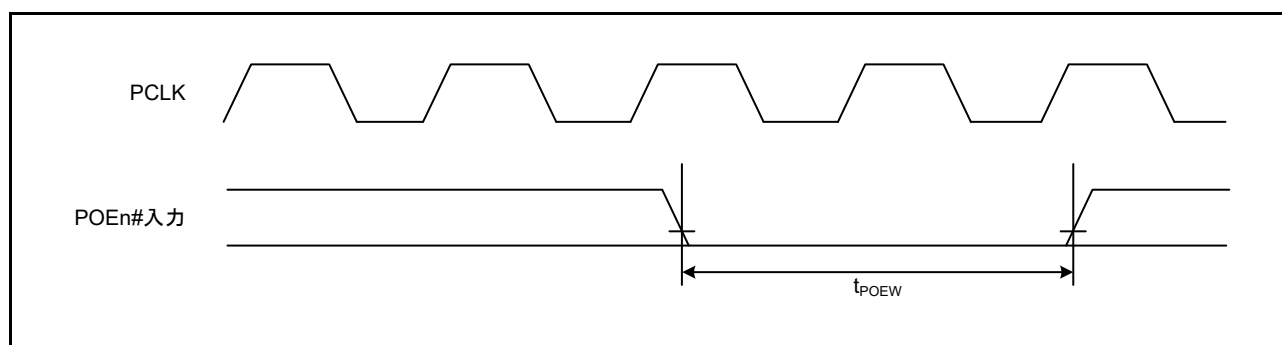


図 5.48 POE# 入力タイミング

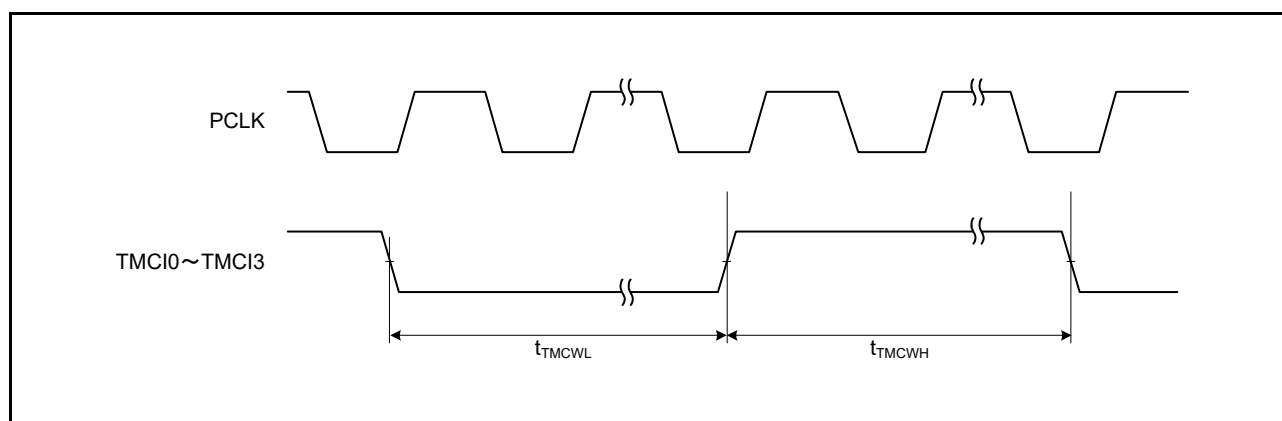


図 5.49 TMR クロック入力タイミング

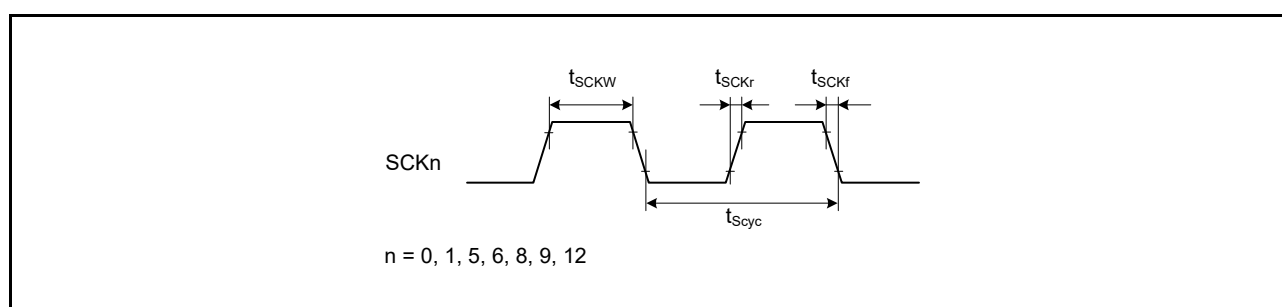


図 5.50 SCK クロック入力タイミング

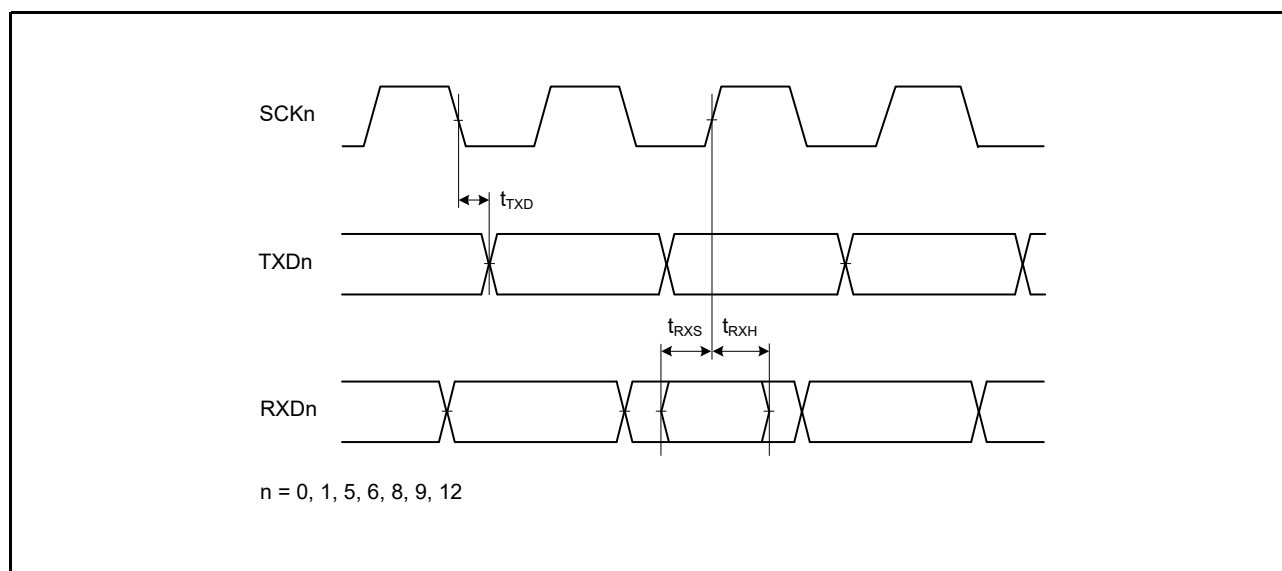


図 5.51 SCI 入出力タイミング / クロック同期式モード

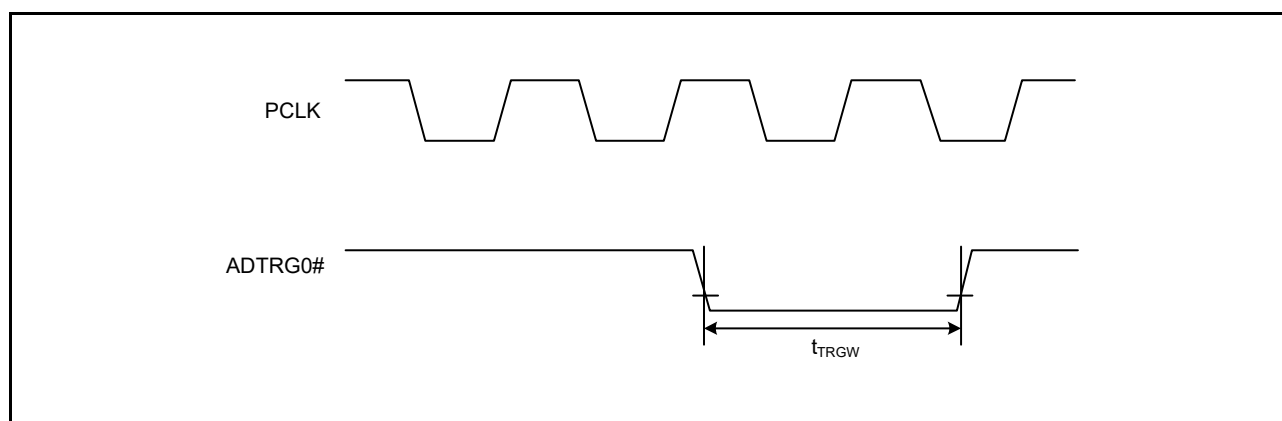


図 5.52 A/D コンバータ外部トリガ入力タイミング

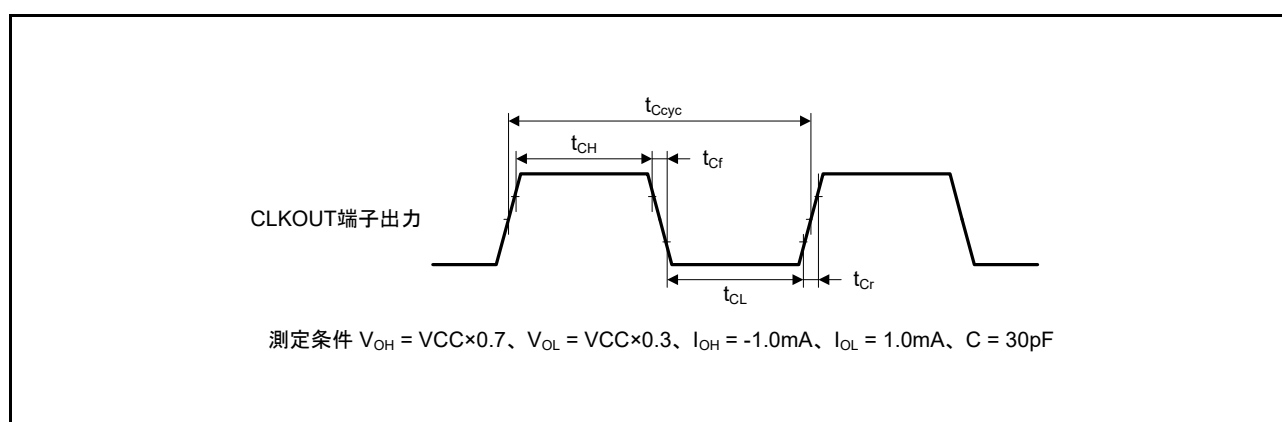


図 5.53 CLKOUT 出力タイミング

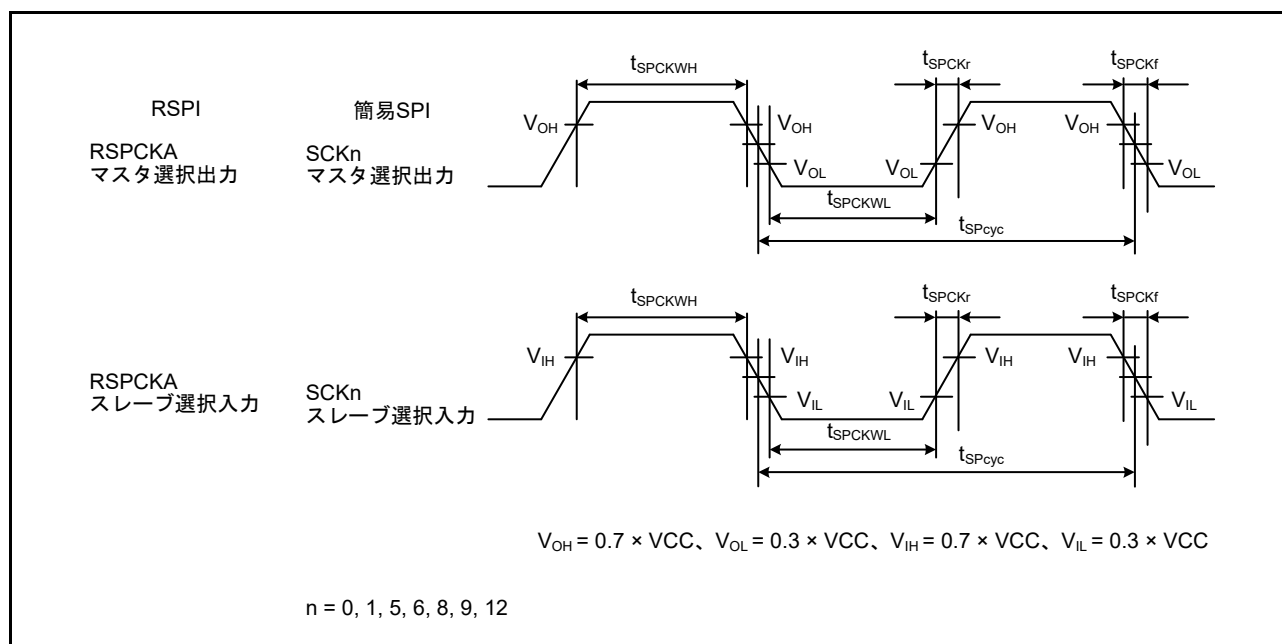


図 5.54 RSPI クロックタイミング / 簡易 SPI クロックタイミング

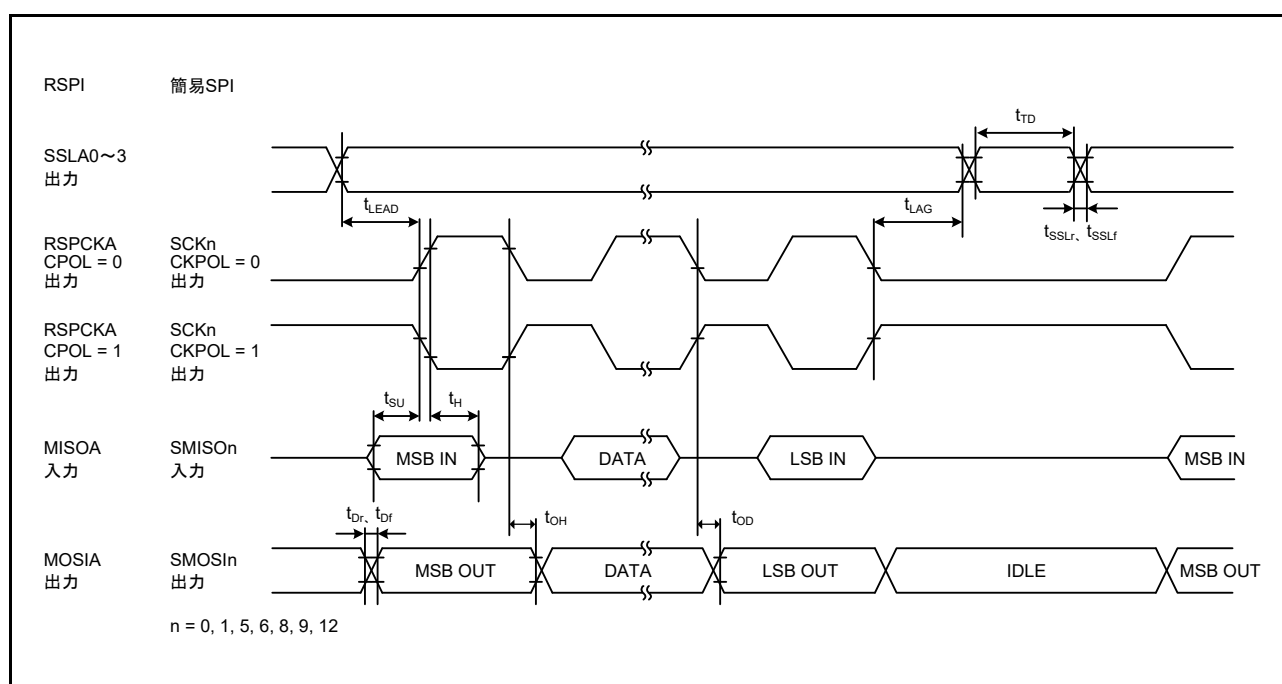


図 5.55 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

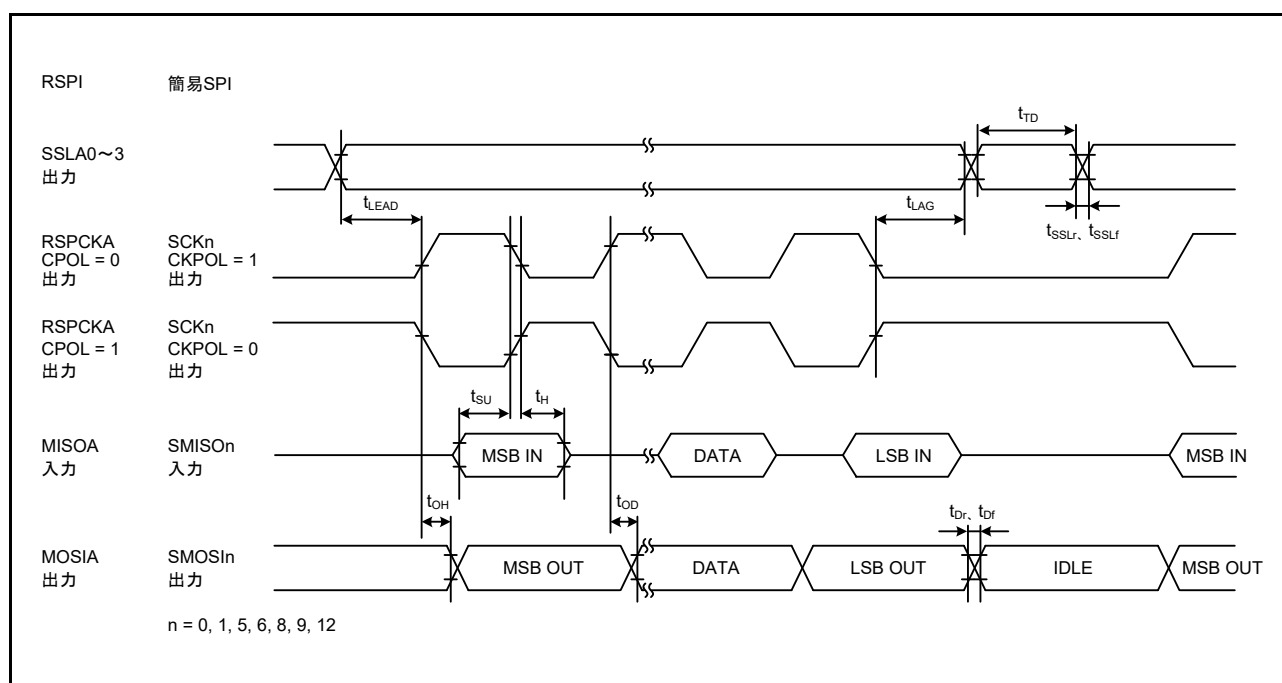


図 5.56 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

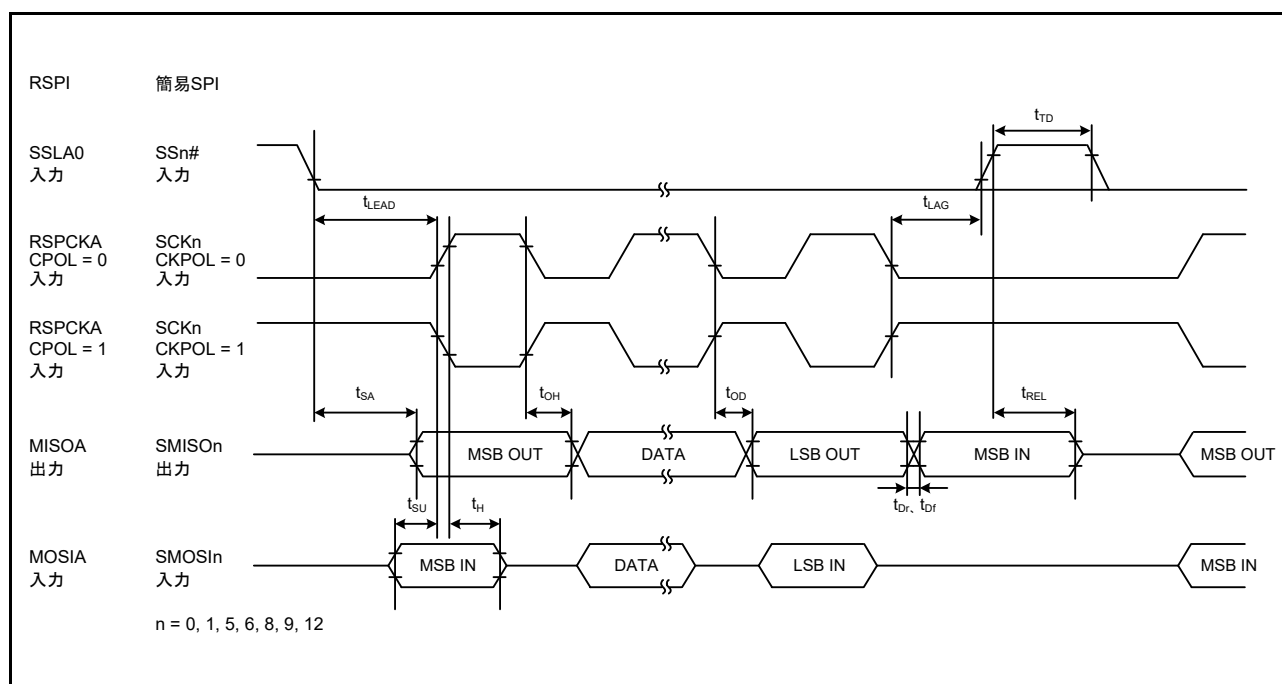


図 5.57 RSPI タイミング (スレーブ、CPHA=0) / 簡易 SPI クロックタイミング (スレーブ、CKPH=1)

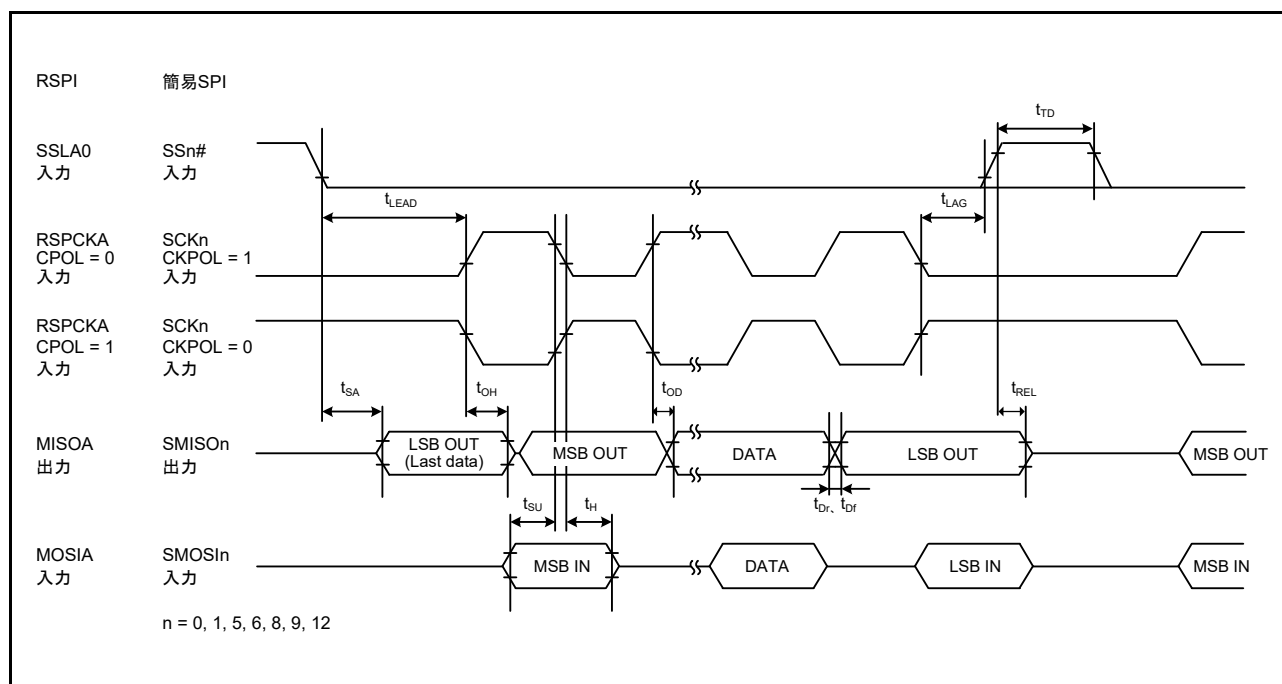


図 5.58 RSPI タイミング (スレーブ、CPHA=1) / 簡易 SPI クロックタイミング (スレーブ、CKPH=0)

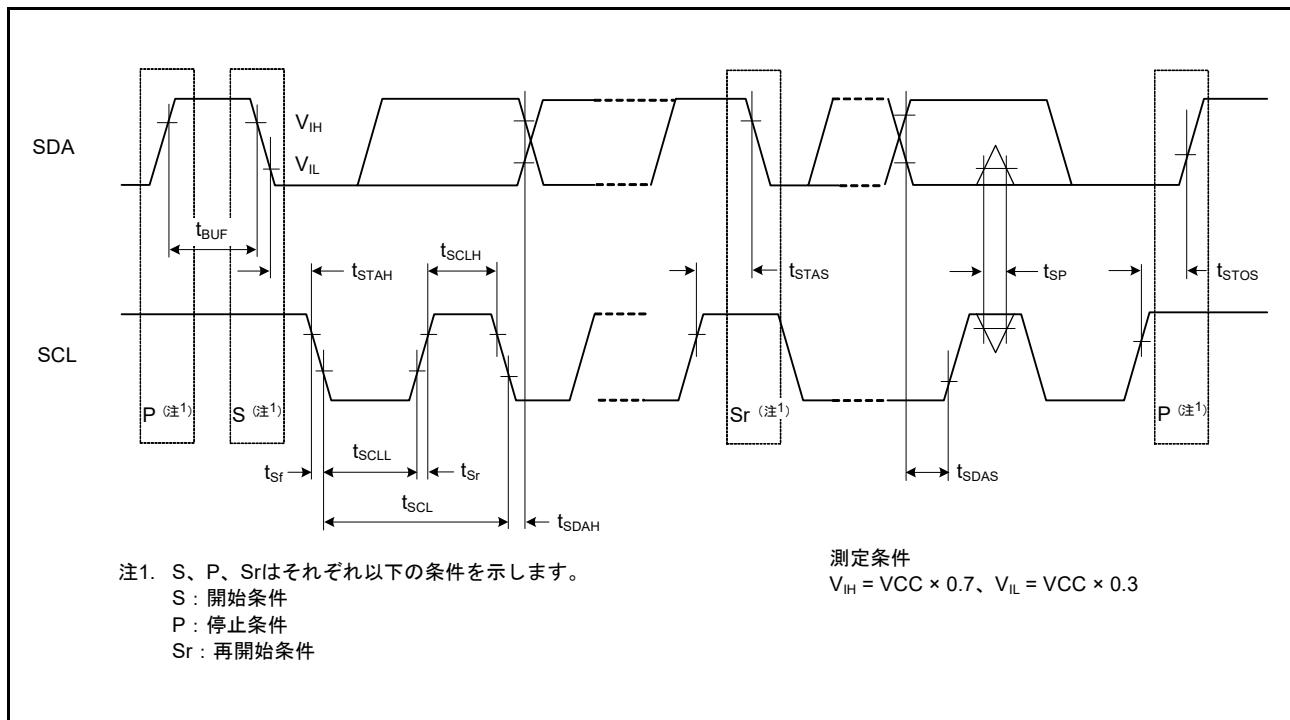
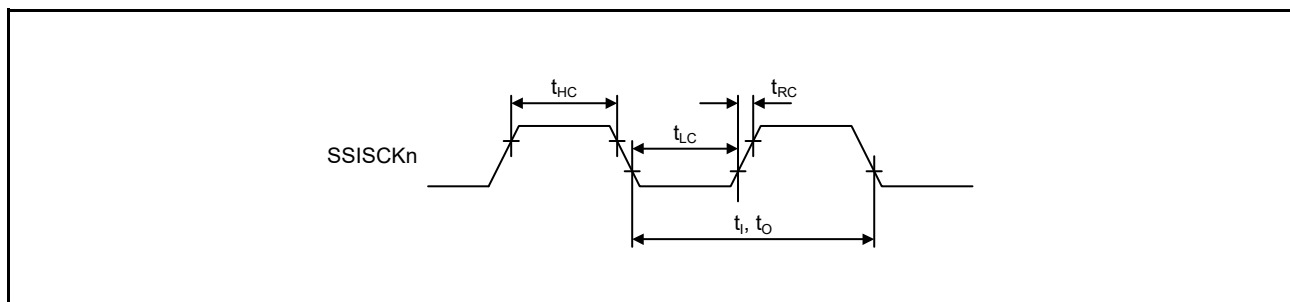
図 5.59 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

図 5.60 SSI クロック入出力タイミング

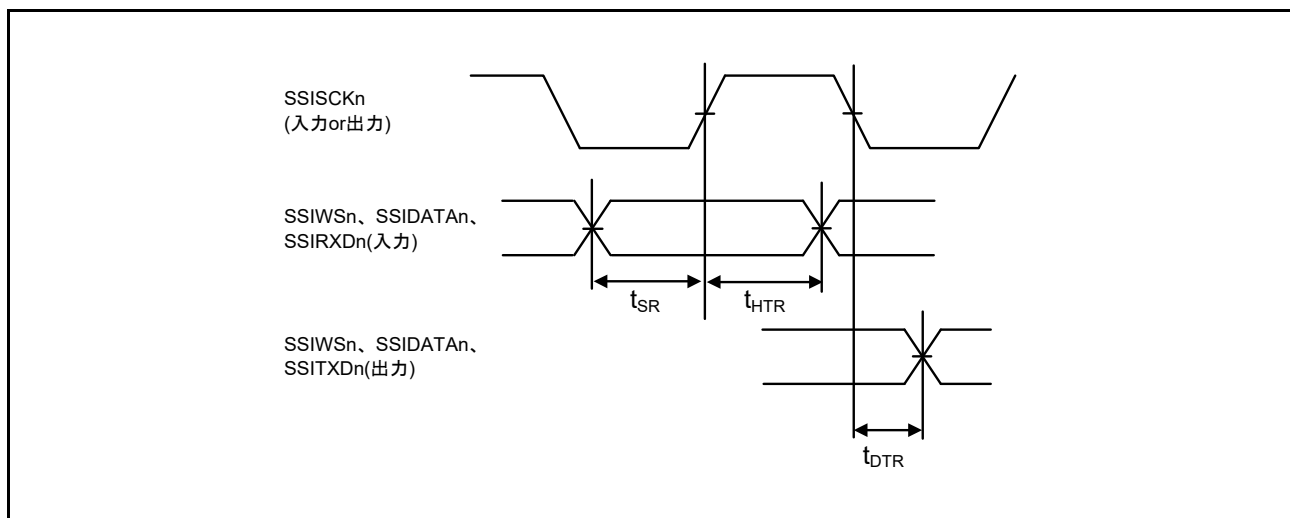


図 5.61 SSI 送受信タイミング (SSICR.SCKP=0)

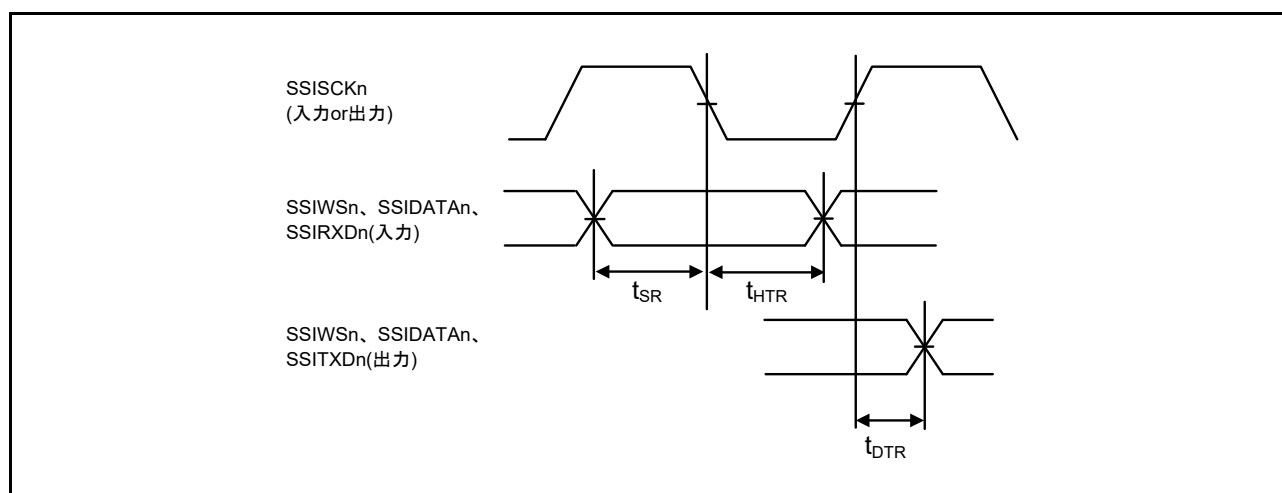


図 5.62 SSI 送受信タイミング (SSICR.SCKP=1)

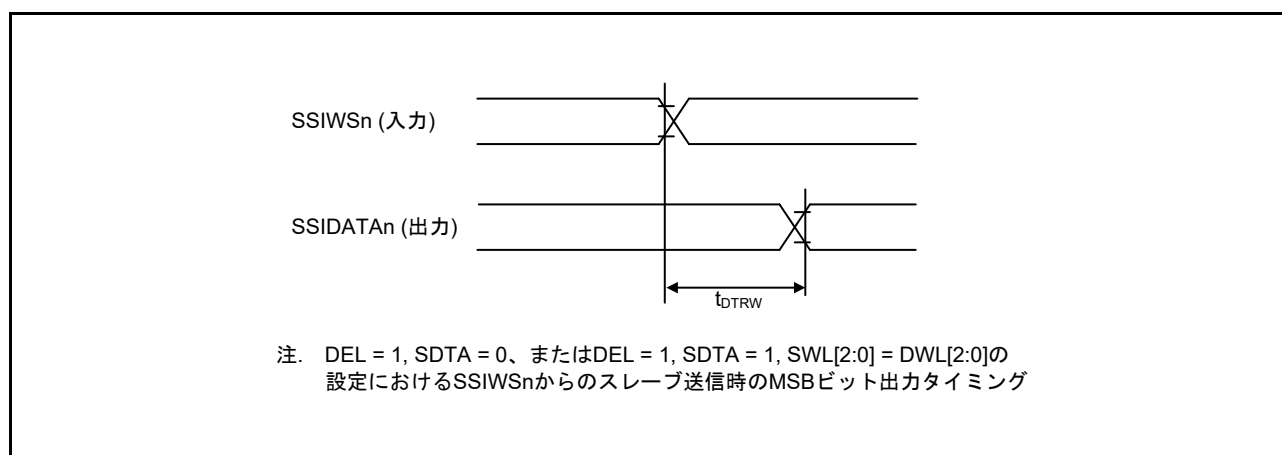


図 5.63 SSIWSn 変化エッジからの SSIDATA 出力遅延

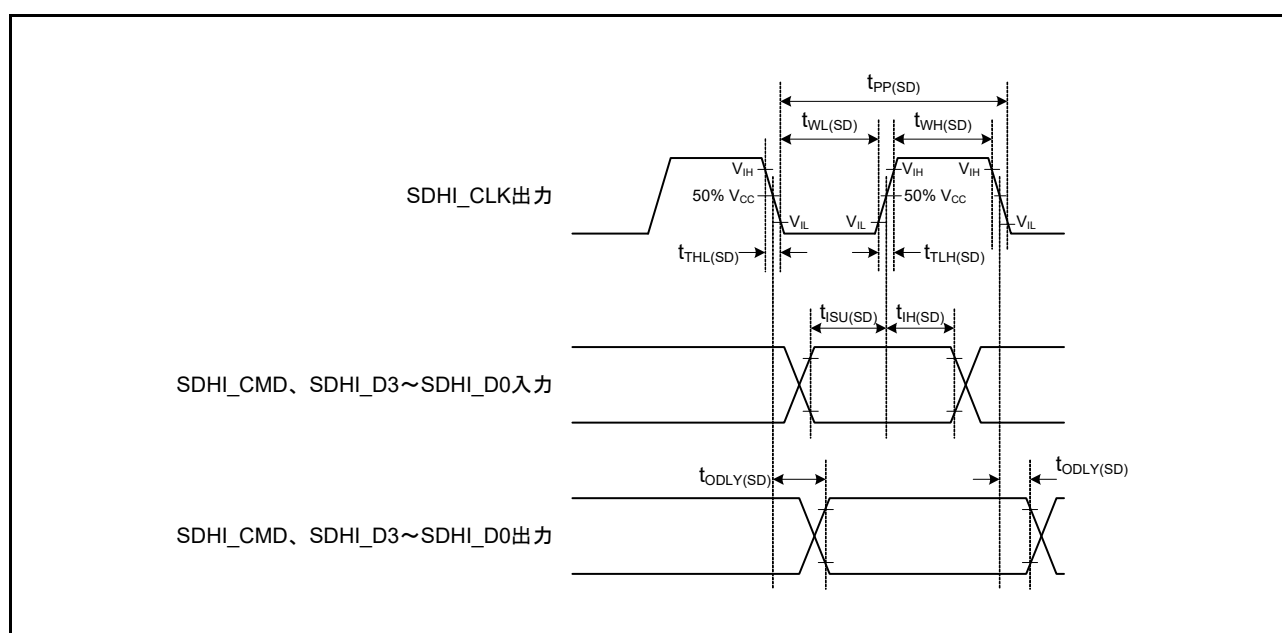


図 5.64 SD ホストインタフェース入出力信号タイミング

5.4 USB 特性

表5.45 USB特性 (USB0_DP、USB0_DM端子特性)

条件：3.0V ≤ VCC = VCC_USB = AVCC0 < 3.6V (レギュレータ未使用時) または 4.0V ≤ VCC = AVCC0 < 5.5V (レギュレータ使用時)、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目			記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧		V _{IH}	2.0	—	V		
	入力Lowレベル電圧		V _{IL}	—	0.8	V		
	差動入力感度		V _{DI}	0.2	—	V	USB0_DP — USB0_DM	
	差動コモンモードレンジ		V _{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧		V _{OH}	2.8	VCC_USB	V	I _{OH} = −200μA	
	出力Lowレベル電圧		V _{OL}	0.0	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧		V _{CRS}	1.3	2.0	V		図 5.65、 図 5.66
	立ち上がり時間	FS	t _r	4	20	ns		
		LS		75	300			
	立ち下がり時間	FS	t _f	4	20	ns		
		LS		75	300			
	立ち上がり / 立ち下がり時間比	FS	t _r /t _f	90	111.11	%	t _r /t _f	
		LS		80	125			
	出力抵抗		Z _{DRV}	28	44	Ω	(外部素子による抵抗調整不要)	
VBUS特性	VBUS入力電圧		V _{IH}	VCC × 0.8	—	V		
			V _{IL}	—	VCC × 0.2	V		
プルアップ、 プルダウン	プルダウン抵抗		R _{PD}	14.25	24.80	kΩ		
	プルアップ抵抗		R _{PUI}	0.9	1.575	kΩ	アイドル時	
			R _{PUA}	1.425	3.09	kΩ	受信時	
バッテリー チャージング 規格 Ver1.2	D+シンク電流		I _{DP_SINK}	25	175	μA		
	D-シンク電流		I _{DM_SINK}	25	175	μA		
	DCDソース電流		I _{DP_SRC}	7	13	μA		
	データ検出電圧		V _{DAT_REF}	0.25	0.4	V		
	D+ソース電圧		V _{DP_SRC}	0.5	0.7	V	出力電流 = 250μA	
	D-ソース電圧		V _{DM_SRC}	0.5	0.7	V	出力電流 = 250μA	

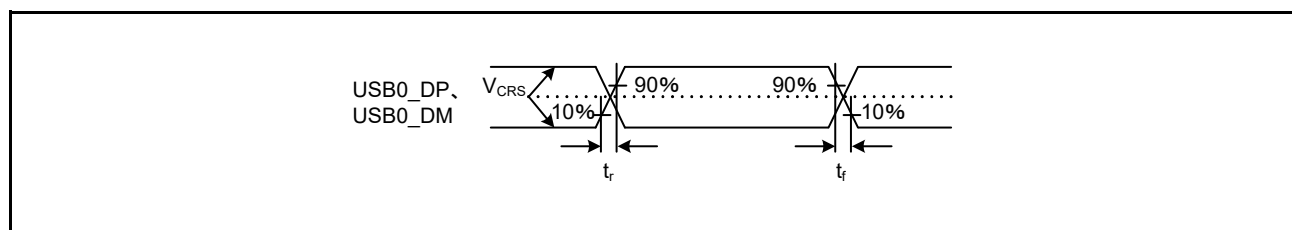


図 5.65 USB0_DP、USB0_DM 出力タイミング

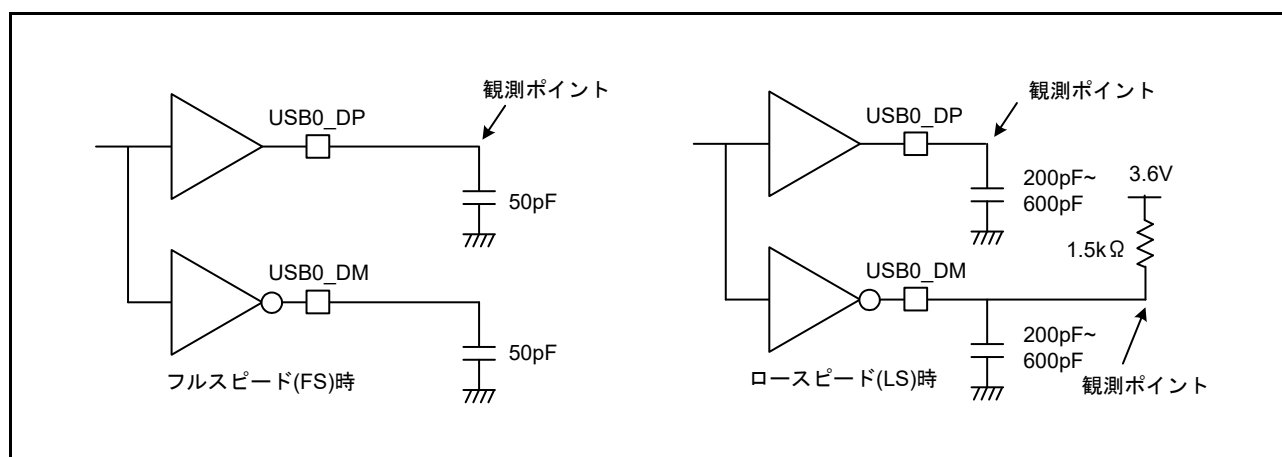


図 5.66 測定回路

5.5 A/D 変換特性

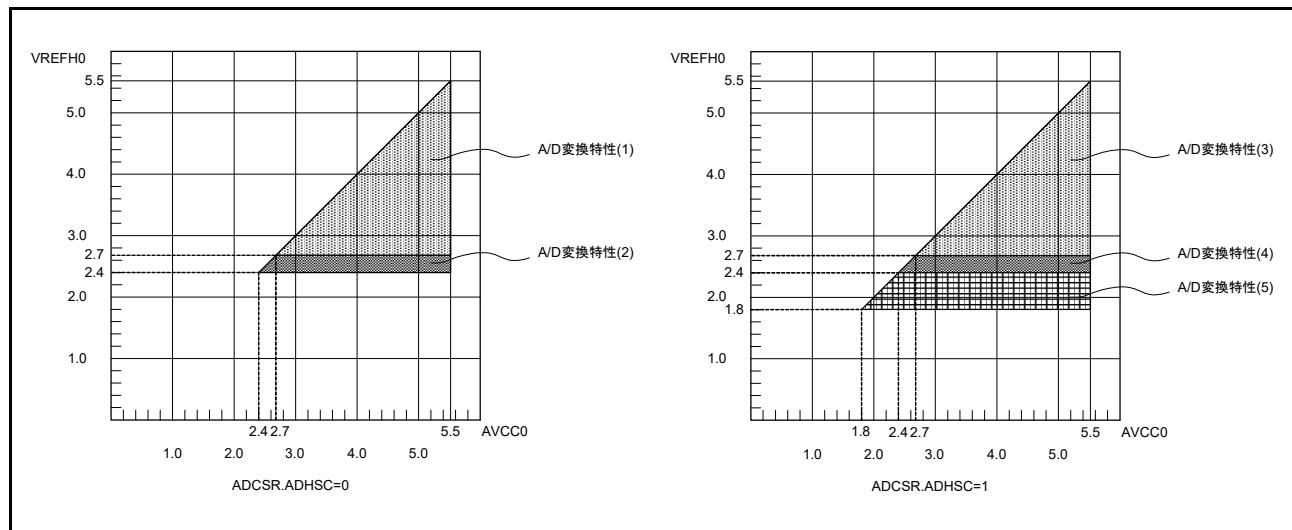


図 5.67 AVCC0-VREFH0 電圧範囲

表 5.46 A/D 変換特性 (1)

条件: $2.7\text{V} \leq \text{VCC} = \text{VCC_USB} = \text{AVCC0} \leq 5.5\text{V}$, $2.7\text{V} \leq \text{VREFH0} \leq \text{AVCC0}$, VREFH0を基準電圧にしたとき、
 $\text{VSS} = \text{AVSS0} = \text{VREFL0} = \text{VSS_USB} = 0\text{V}$, PCLKD = 54MHz, $T_a = -40 \sim +105^\circ\text{C}$

項目		min	typ	max	単位	測定条件
周波数		1	—	54	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 54MHz時)	許容信号源 インピーダンス max = 0.3kΩ	0.83	—	—	μs	高精度チャネル ADCSR.ADHSCビット = 0 ADSSTRnレジスタ = 0Dh
		1.33	—	—		通常精度チャネル ADCSR.ADHSCビット = 0 ADSSTRnレジスタ = 28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図 5.68
アナログ入力抵抗	Rs	—	—	2.5	kΩ	図 5.68
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	
オフセット誤差		—	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		—	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	
INL 積分非直線性誤差		—	±1.0	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.47 A/D変換特性 (2)

条件: $2.4V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $PCLKD = 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 1.3k Ω	1.41	—	—	μs	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=0Dh
		2.25	—	—		通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図5.68
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図5.68
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャネル
				± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 4.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.48 A/D変換特性 (3)

条件: $2.7V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	27	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 27MHz時)	許容信号源 インピーダンス max = 1.1k Ω	2	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		3	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図5.68
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図5.68
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャネル
				± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.49 A/D変換特性 (4)

条件: $2.4V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $2.4V \leq VREFH0 \leq AVCC0$, $VSS = AVSS0 = VSS_USB = 0V$,
 $VREFH0$ を基準電圧にしたとき、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	16	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 2.2kΩ	3.38	—	—	μs	高精度チャネル ADCSR.ADHSC ビット = 1 ADSSTRn レジスタ = 0Dh
		5.06	—	—		通常精度チャネル ADCSR.ADHSC ビット = 1 ADSSTRn レジスタ = 28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図 5.68
アナログ入力抵抗	Rs	—	—	2.5	kΩ	図 5.68
オフセット誤差		—	±0.5	±4.5	LSB	
フルスケール誤差		—	±0.75	±4.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	
INL 積分非直線性誤差		—	±1.0	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.50 A/D変換特性 (5)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$, $1.8V \leq VREFH0 \leq AVCC0$, $VSS = AVSS0 = VSS_USB = 0V$,
 $VREFH0$ を基準電圧にしたとき、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1	—	8	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5 k Ω	6.75	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=0Dh
		10.13	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRnレジスタ=28h
アナログ入力容量	Cs	—	—	15	pF	端子容量含む 図5.68
アナログ入力抵抗	Rs	—	—	2.5	k Ω	図5.68
オフセット誤差		—	± 1	± 7.5	LSB	
フルスケール誤差		—	± 1.5	± 7.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 3.0	± 8.0	LSB	
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.25	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.51 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000～AN007	AVCC0 = 1.8～5.5V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャネル	AN016～AN031		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～5.5V	
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～5.5V	

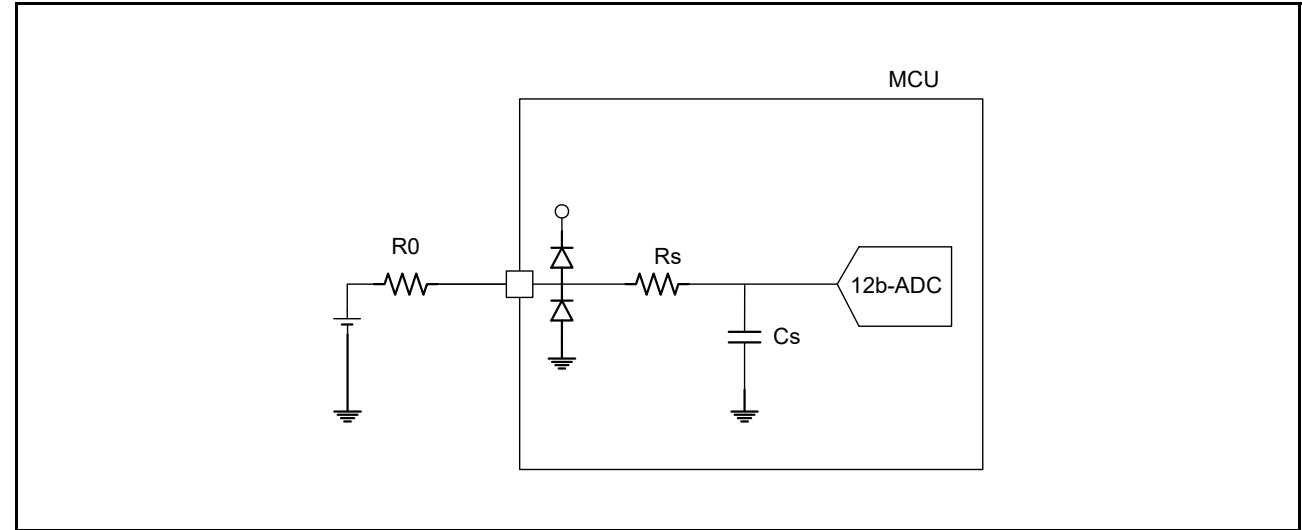


図 5.68 等価回路

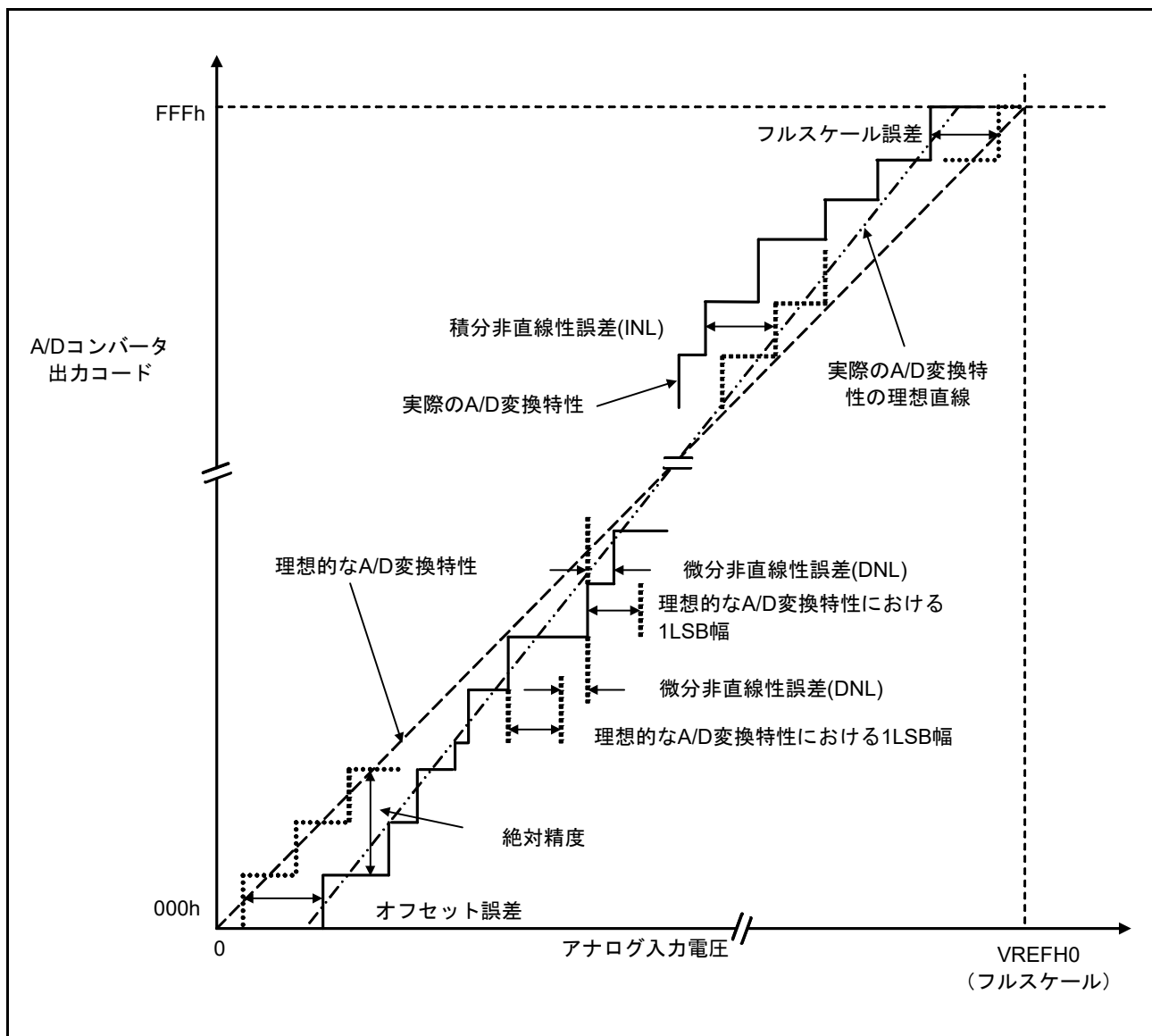


図 5.69 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差（INL）

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.6 D/A 変換特性

表 5.52 D/A 変換特性 (1)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

基準電圧 = VREFH、VREFL 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	AVCC0 – 0.47	V	
DNL 微分非直線性誤差	—	± 0.5	± 1.0	LSB	
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	
オフセット誤差	—	—	± 20	mV	
フルスケール誤差	—	—	± 20	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

表 5.53 D/A 変換特性 (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VREFL = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

基準電圧 = AVCC0、AVSS0 選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	AVCC0 – 0.47	V	
DNL 微分非直線性誤差	—	± 0.5	± 2.0	LSB	
INL 積分非直線性誤差	—	± 2.0	± 8.0	LSB	
オフセット誤差	—	—	± 30	mV	
フルスケール誤差	—	—	± 30	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

表 5.54 D/A 変換特性 (3)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

基準電圧 = 内部基準電圧選択時

項目	min	typ	max	単位	測定条件
分解能	—	—	12	ビット	
内部基準電圧 (Vbgr)	1.36	1.43	1.50	V	
負荷抵抗	30	—	—	k Ω	
負荷容量	—	—	50	pF	
出力電圧範囲	0.35	—	Vbgr	V	
DNL 微分非直線性誤差	—	± 2.0	± 16.0	LSB	
INL 積分非直線性誤差	—	± 8.0	± 16.0	LSB	
オフセット誤差	—	—	30	mV	
出力抵抗	—	5	—	Ω	
変換時間	—	—	30	μs	

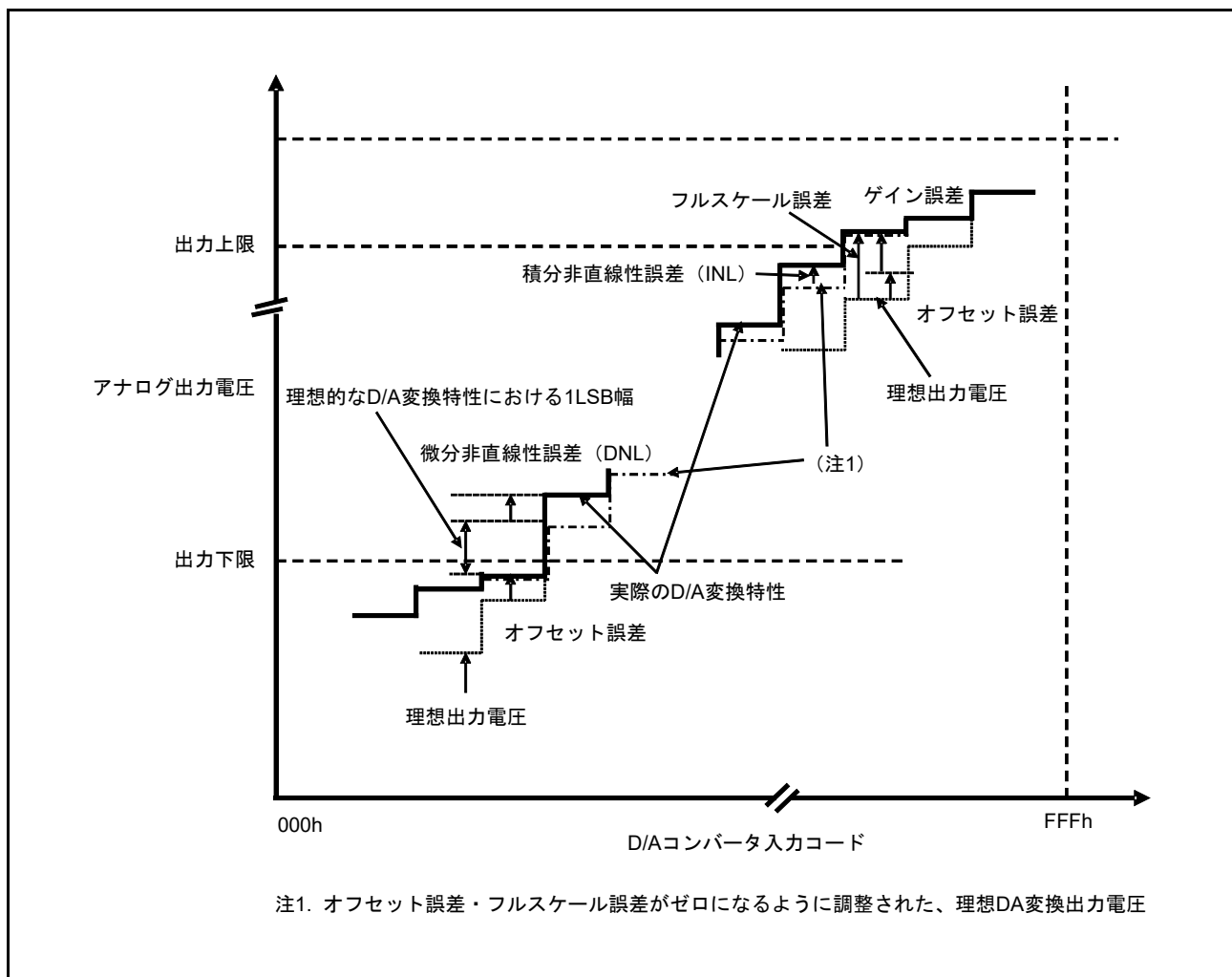


図 5.70 D/A コンバータ 特性用語説明図

積分非直線性誤差（INL）

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差（DNL）

微分非直線性誤差とは、理想的な D/A 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.7 温度センサ特性

表5.55 温度センサ特性

条件：2.0V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

5.8 コンパレータ特性

表5.56 コンパレータ特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CVREFB0 ~ CVREFB3入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0 ~ CMPB3入力電圧	VI	-0.3	—	VCC + 0.3	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/us
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	μs	
	コンパレータ低速モード	Td	—	5.0	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24VCC	—	V	
動作安定待ち時間	Tcmp	100	—	—	μs	

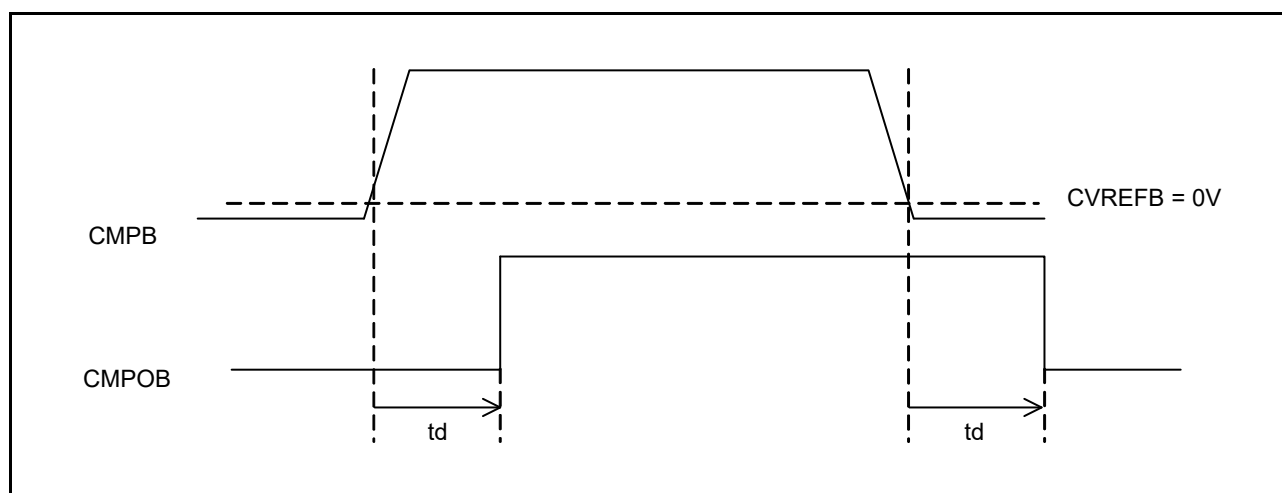


図 5.71 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

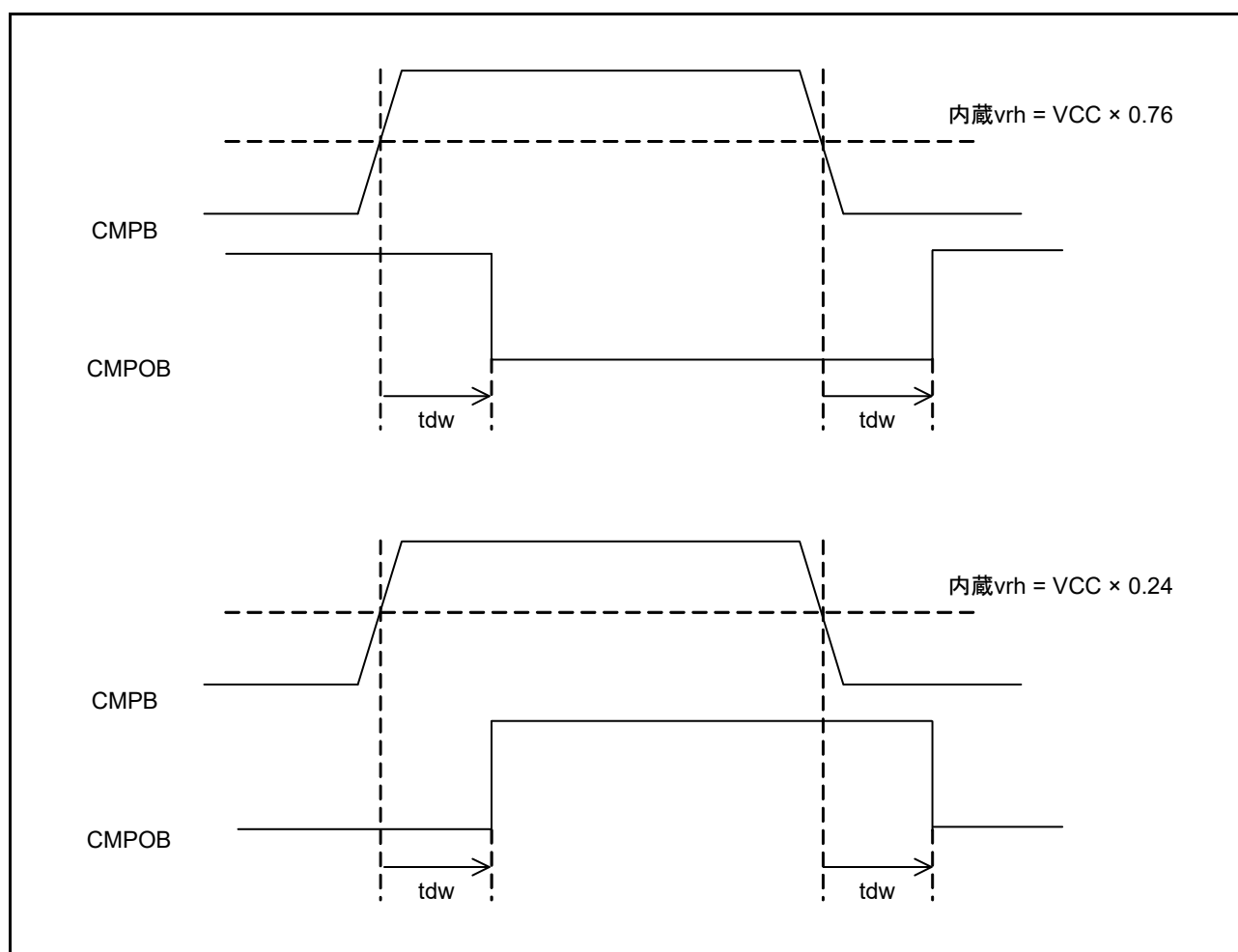


図 5.72 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

5.9 CTSU 特性

表 5.57 CTSU 特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
TSCAP 端子外付け容量	C _{tscap}	9	10	11	nF	
TS 端子負荷容量	C _{base}	—	—	50	pF	
出力 High レベル許容電流	ΣI _{OH}	—	—	-24	mA	相互容量方式で使用する場合

5.10 パワーオンリセット回路、電圧検出回路特性

表 5.58 パワーオンリセット回路、電圧検出回路特性 (1)

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 5.73、図 5.74
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97	V	図 5.75 VCC 立ち下がり時
		V _{det0_1}	2.70	2.82	3.00		
		V _{det0_2}	2.37	2.51	2.67		
		V _{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図 5.76 VCC 立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.58	2.67		
		V _{det1_A}	2.37	2.48	2.57		
		V _{det1_B}	2.10	2.20	2.30		
		V _{det1_C}	1.86	1.96	2.06		
		V _{det1_D}	1.80	1.86	1.96		
	電圧検出回路 (LVD2) (注3)	V _{det2_0}	4.08	4.29	4.48	V	図 5.77 VCC 立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
		V _{det2_3}	3.62	3.84	4.02		

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det0_n} の n は、OFS1.VDSEL[1:0] ビットの値です。

注2. 記号 V_{det1_n} の n は、LVDLVLR.LVD1LVL[3:0] ビットの値です。

注3. 記号 V_{det2_n} の n は、LVDLVLR.LVD2LVL[1:0] ビットの値です。

表5.59 パワーオンリセット回路、電圧検出回路特性 (2)

条件: $1.8V \leq VCC = VCC_USB = AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット 解除後待機時間	通常起動時 (注1)	t_{POR}	—	9.1	—	ms	図 5.74
	起動時間短縮時 (注2)	t_{POR}	—	1.6	—	—	
電圧監視0リセット 解除後待機時間	起動時電圧監視0 リセット無効時 (注1)	t_{LVD0}	—	568	—	μs	図 5.75
	起動時電圧監視0 リセット有効時 (注2)		—	100	—		
電圧監視1リセット解除後待機時間		t_{LVD1}	—	100	—	μs	図 5.76
電圧監視2リセット解除後待機時間		t_{LVD2}	—	100	—	μs	図 5.77
応答遅延時間		t_{det}	—	—	350	μs	図 5.73
最小VCC低下時間 (注3)		t_{VOFF}	350	—	—	μs	図 5.73、VCC = 1.0V 以上
パワーオンリセット有効時間		$t_W (POR)$	1	—	—	ms	図 5.74、VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え時)		$T_d (E-A)$	—	—	300	μs	図 5.76、図 5.77
ヒステリシス幅 (パワーオンリセット (POR))		V_{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))		V_{LVH}	—	70	—	mV	Vdet1_0 ~ 4 選択時
			—	60	—		Vdet1_5 ~ 9 選択時
			—	50	—		Vdet1_A ~ B 選択時
			—	40	—		Vdet1_C ~ D 選択時
			—	60	—		LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

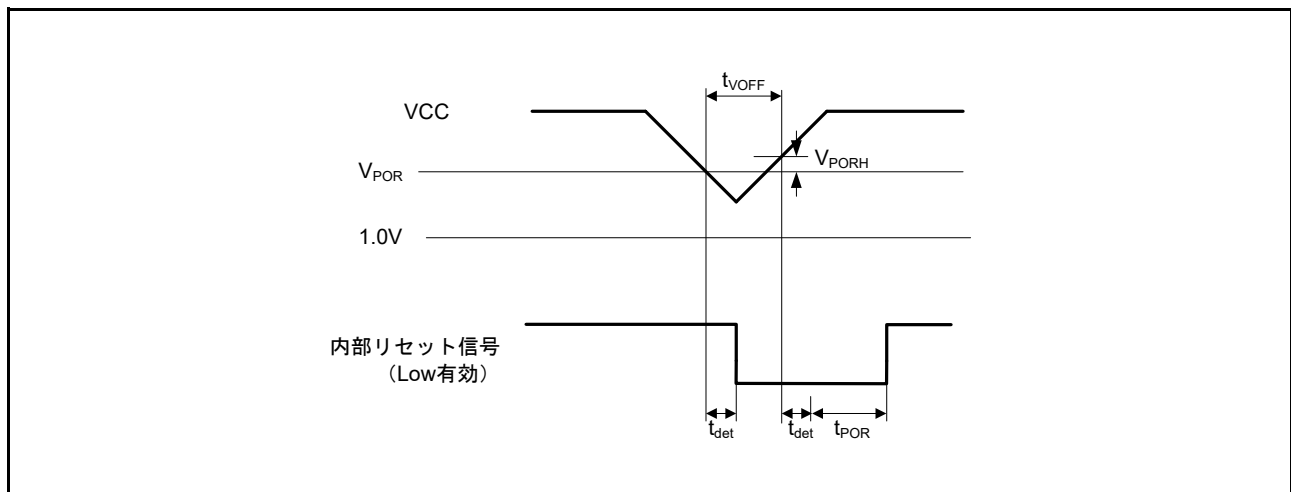


図 5.73 電圧検出リセットタイミング

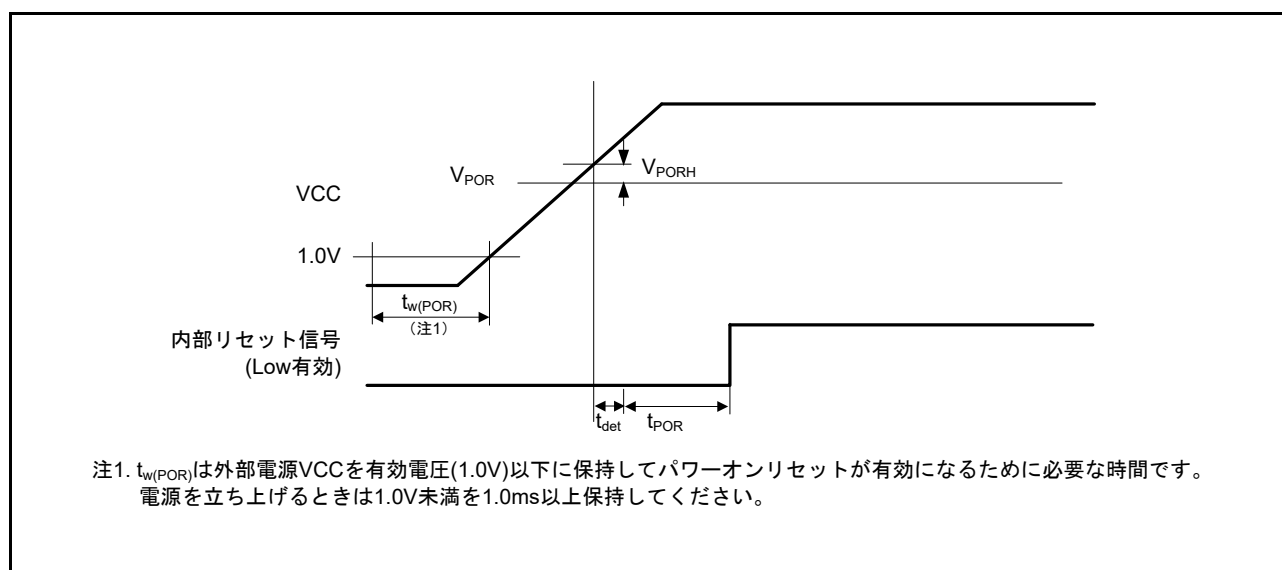


図 5.74 パワーオンリセットタイミング

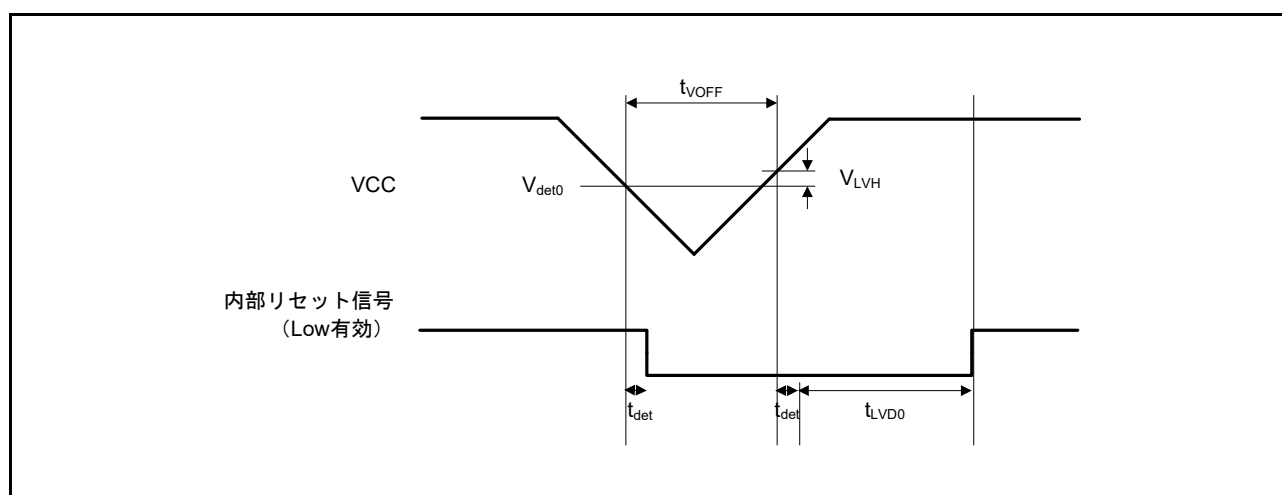
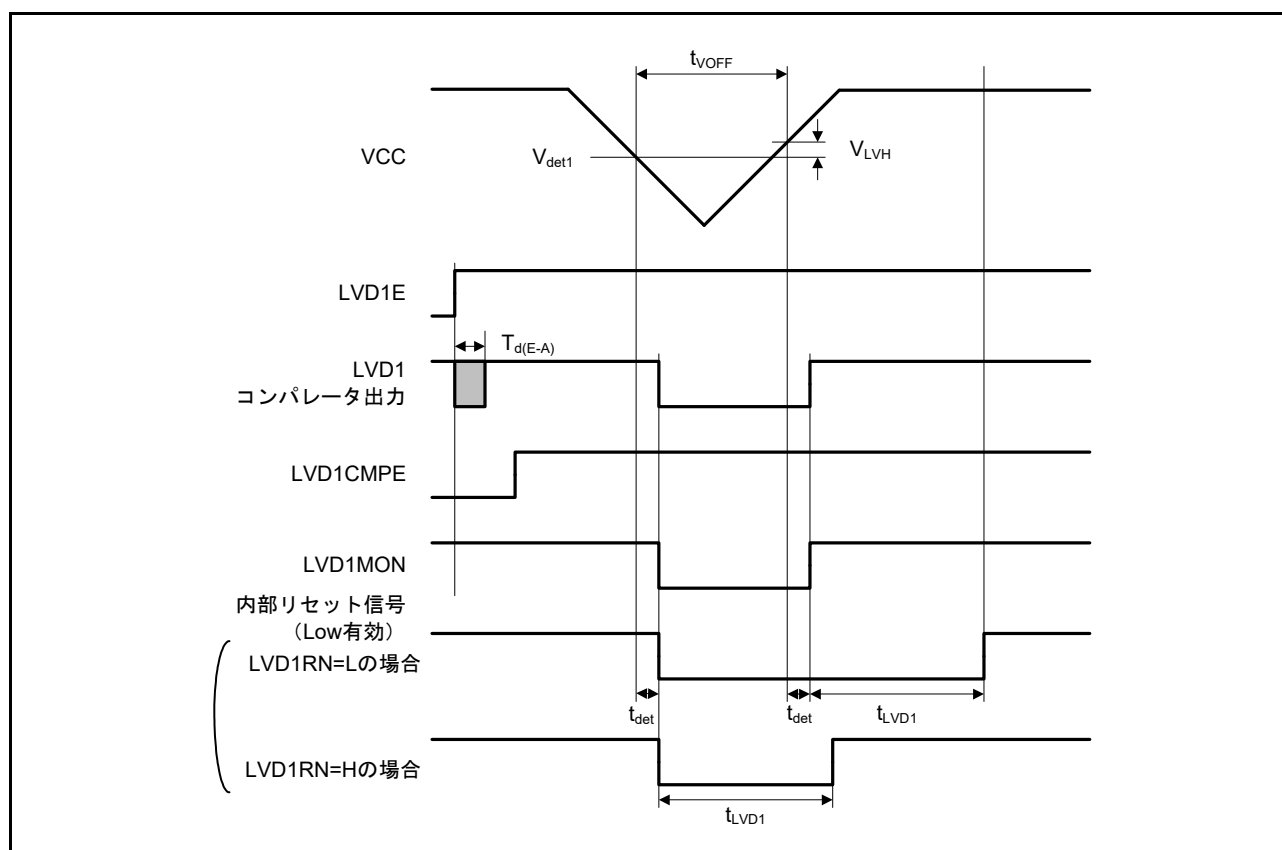
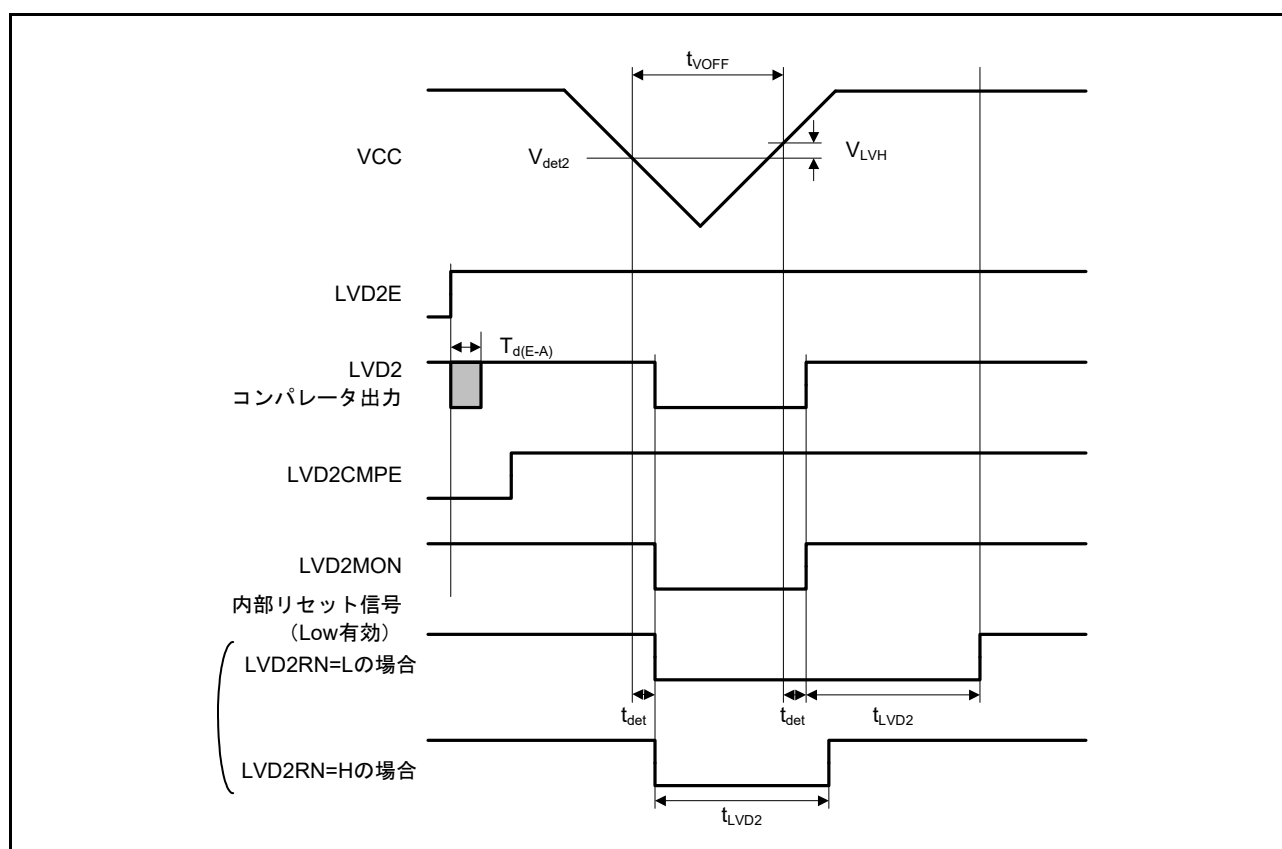


図 5.75 電圧検出回路タイミング (Vdet0)

図 5.76 電圧検出回路タイミング (V_{det1})図 5.77 電圧検出回路タイミング (V_{det2})

5.11 発振停止検出タイミング

表5.60 発振停止検出回路特性
条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 5.78

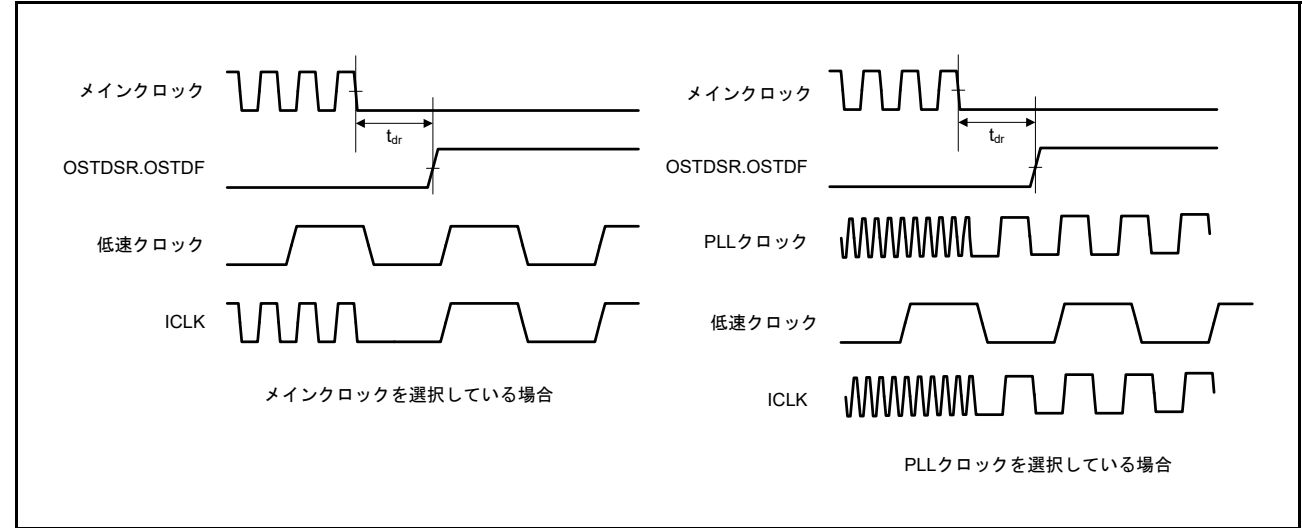


図 5.78 発振停止検出タイミング

5.12 バッテリバックアップ機能特性

表5.61 バッテリバックアップ機能特性

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、1.8V ≤ VBATT ≤ 5.5V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、
T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
バッテリーバックアップ切り替え電圧レベル（立ち下がり）		V _{DETBATT}	1.99	2.09	2.19	V	図 5.79
ヒステリシス幅		V _{VBATTH}	—	100	—	mV	
切り替え可能VCCオフ期間		t _{VOFFBATT}	—	—	350	μs	
許容電源変動立ち上げ/立ち下り勾配		dt/dVCC	1.0	—	—	ms/V	図 5.7
VBATT端子電圧低下検出レベル（立ち下がり）	VBTLVDLVL[1:0] = 10b	V _{DETBATLVD}	2.11	2.20	2.29	V	図 5.79
	VBTLVDLVL[1:0] = 11b		1.87	2.00	2.13	V	
VBATT端子電圧低下検出ヒステリシス幅		V _{BATLVDH}	—	50	—	mV	

注． 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベルV_{DETBATT}のmin値を下回っている時間です。

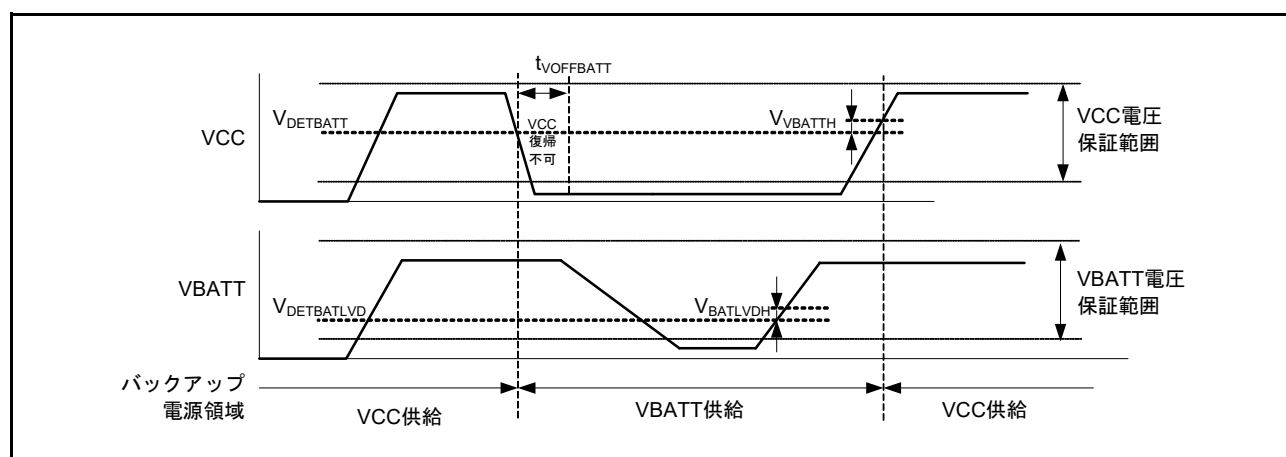


図 5.79 バッテリバックアップ機能特性

5.13 ROM（コード格納用フラッシュメモリ）特性

表5.62 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル (注1)	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20 (注2、注3)	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.63 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			FCLK = 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	8バイト	t _{p8}	—	112	967	—	52.3	491	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.75	278	—	5.50	215	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	928	19218	—	72.0	1679	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	923	19013	—	66.7	1469	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840	—	—	136	ms
イレーズ処理強制停止時間		t _{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	12.3	566.5	—	6.2	434	ms
アクセスウィンドウ設定時間		t _{AWS}	—	12.3	566.5	—	6.2	434	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。

表5.64 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード
 条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	8バイト	t _{P8}	—	152	1367	—	97.9	936	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.8	279.7	—	5.9	221	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	928	19221	—	191	4108	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	923	19015	—	185	3901	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	85.0	—	—	50.88	μs
	2Kバイト	t _{BC2K}	—	—	1870	—	—	402	μs
イレーズ処理強制停止時間		t _{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.0	573.3	—	7.7	451	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.0	573.3	—	7.7	451	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3.0	—	—	3.0	—	—	μs

注． ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注． フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注． FCLKの周波数精度は±3.5%である必要があります。

5.14 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.65 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレースサイクル (注1)	N _{DPEC}	100000	1000000	—	回	
データ保持時間	N _{DPEC} 10000回後	20 (注2、注3)	—	—	年	T _a = +85°C
	N _{DPEC} 100000回後	5 (注2、注3)	—	—	年	
	N _{DPEC} 1000000回後	—	1 (注2、注3)	—	年	T _a = +25°C

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルがn回（n = 100000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.66 E2データフラッシュ特性（2） 高速動作モード

条件：2.7V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレース時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			FCLK = 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	95.0	797	—	40.8	376	μs
イレース時間	1Kバイト	t _{DE1K}	—	19.5	498	—	6.2	230	ms
	8Kバイト	t _{DE8K}	—	119.8	2556	—	12.9	368	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.00	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	0.72	—	—	0.50	ms
イレース処理強制停止時間		t _{DSED}	—	—	16.0	—	—	10.7	μs
データフラッシュ STOP解除時間		t _{DSTOP}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。

表5.67 E2データフラッシュ特性（3） 中速動作モード

条件：1.8V ≤ VCC = VCC_USB = AVCC0 ≤ 5.5V、VSS = AVSS0 = VSS_USB = 0V

プログラム/イレース時の動作温度範囲：T_a = -40 ~ +85°C

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	135	1197	—	86.5	823	μs
イレース時間	1Kバイト	t _{DE1K}	—	19.6	501	—	8.0	265	ms
	8Kバイト	t _{DE8K}	—	120	2558	—	27.7	669	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	0.72	—	—	1.45	ms
イレース処理強制停止時間		t _{DSED}	—	—	28.0	—	—	21.3	μs
データフラッシュ STOP解除時間		t _{DSTOP}	0.72	—	—	0.72	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。

5.15 使用上の注意事項

5.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 5.80 ～図 5.82 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「43. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

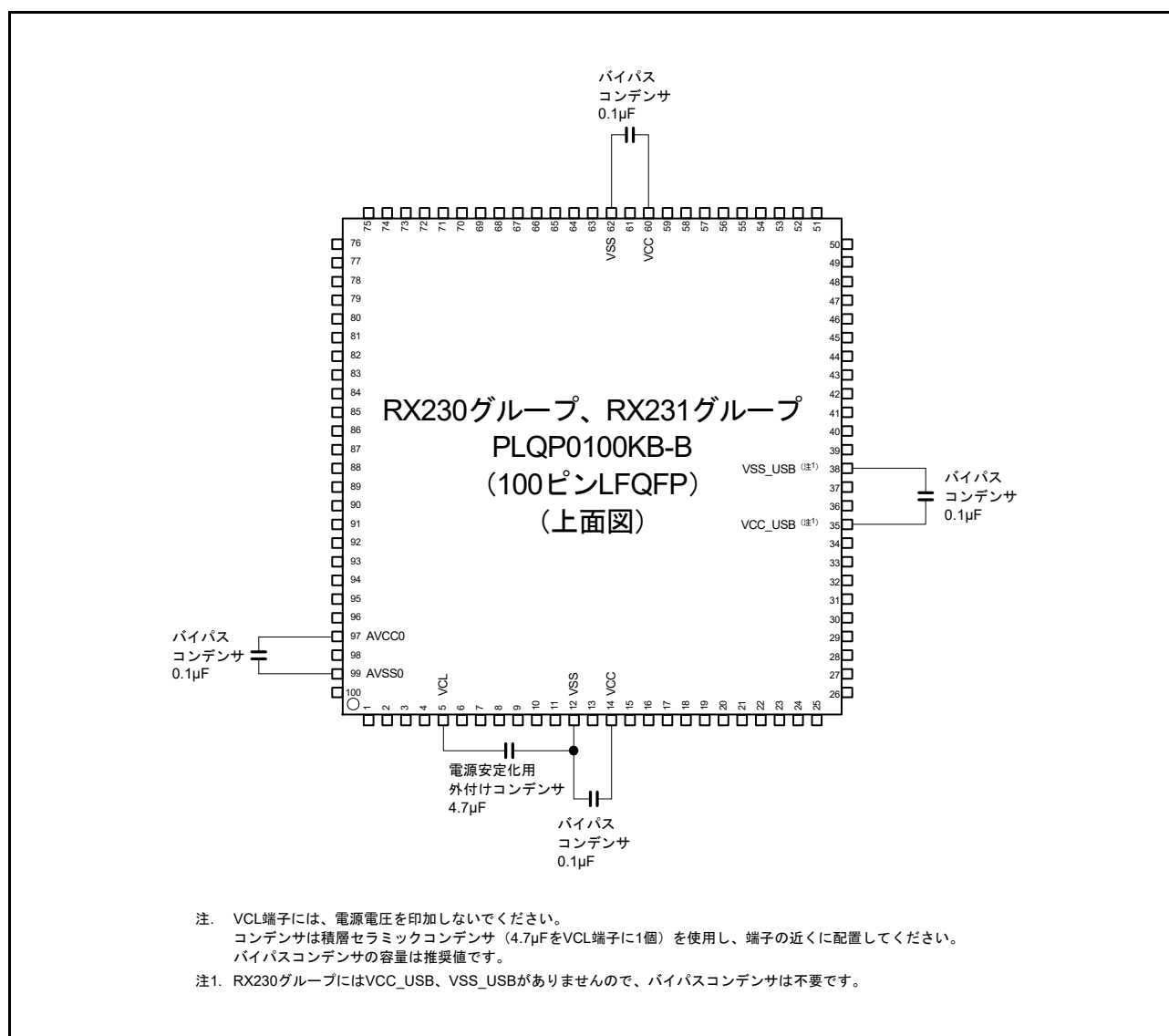


図 5.80 コンデンサ接続方法（100ピン）

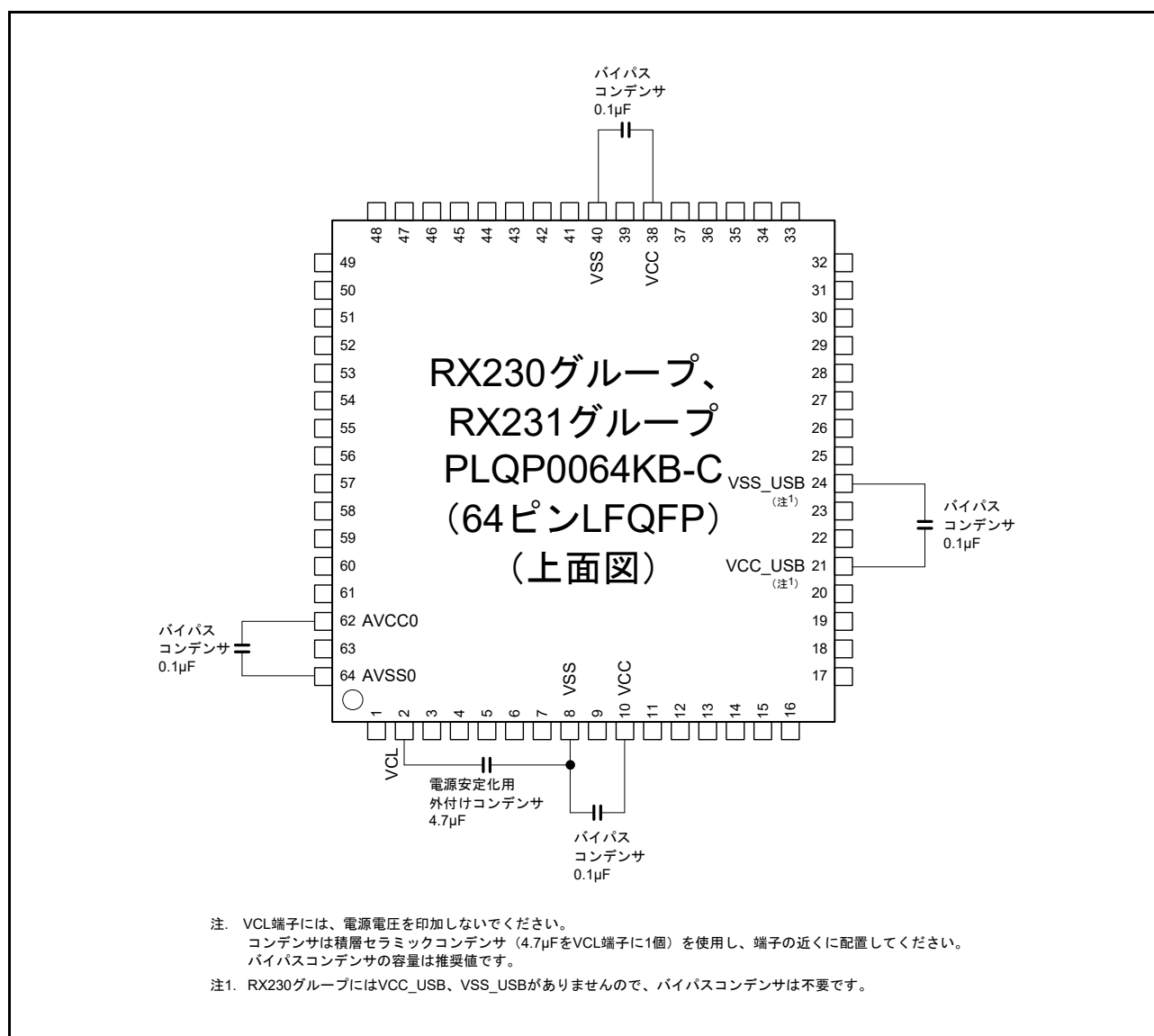


図 5.81 コンデンサ接続方法（64ピン）

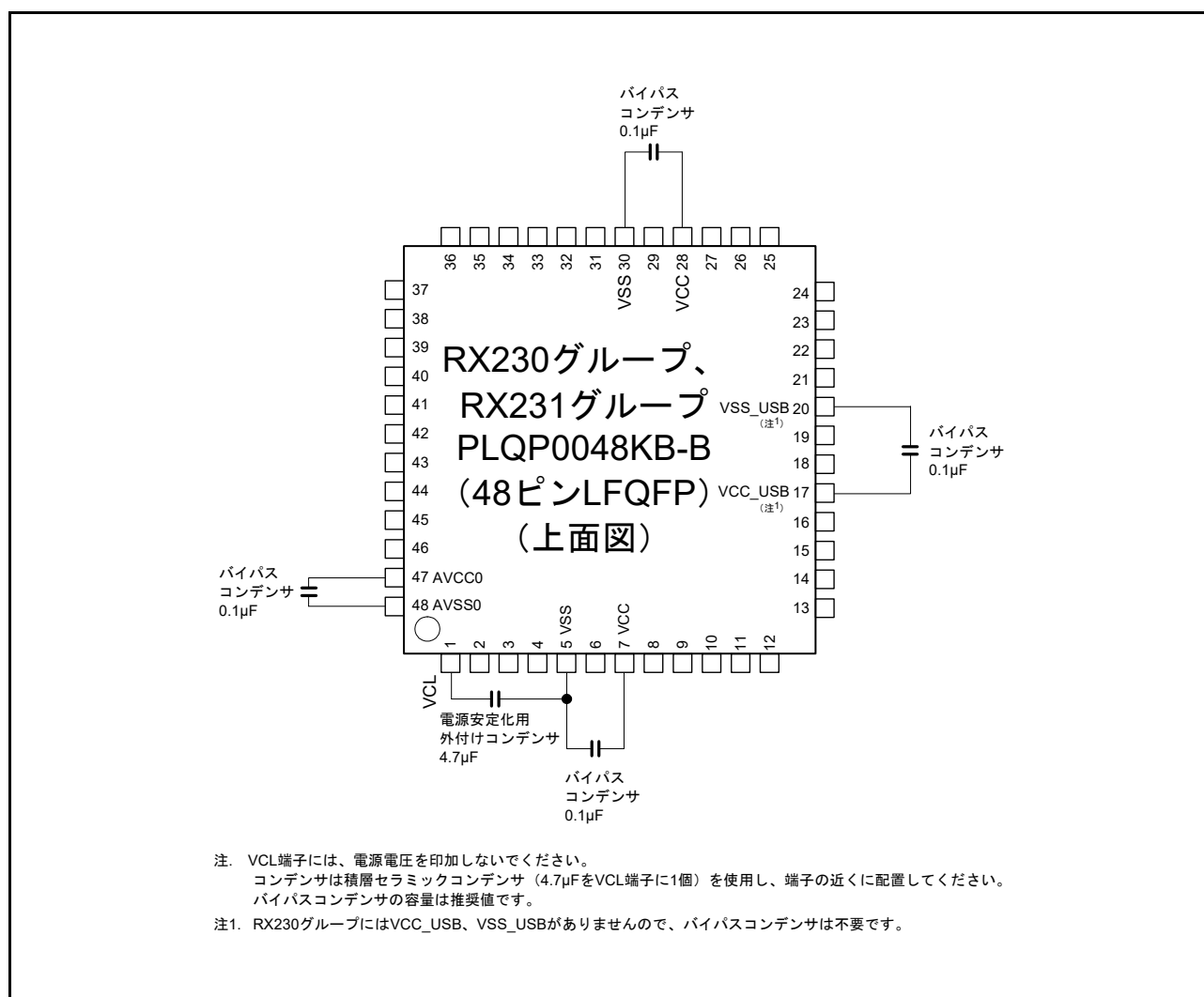


図 5.82 コンデンサ接続方法（48ピン）

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

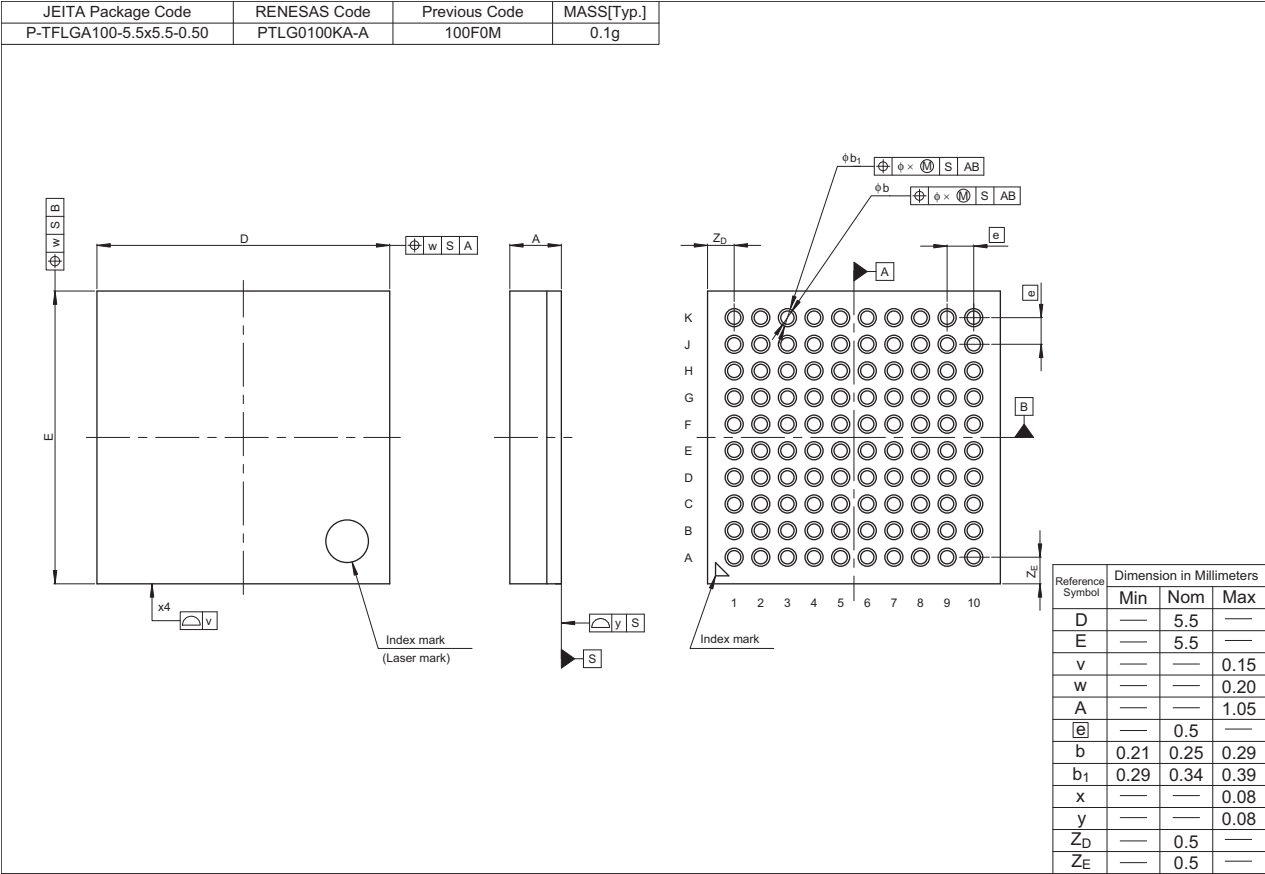


図 A. 100 ピン TFLGA (PTLG0100KA-A)

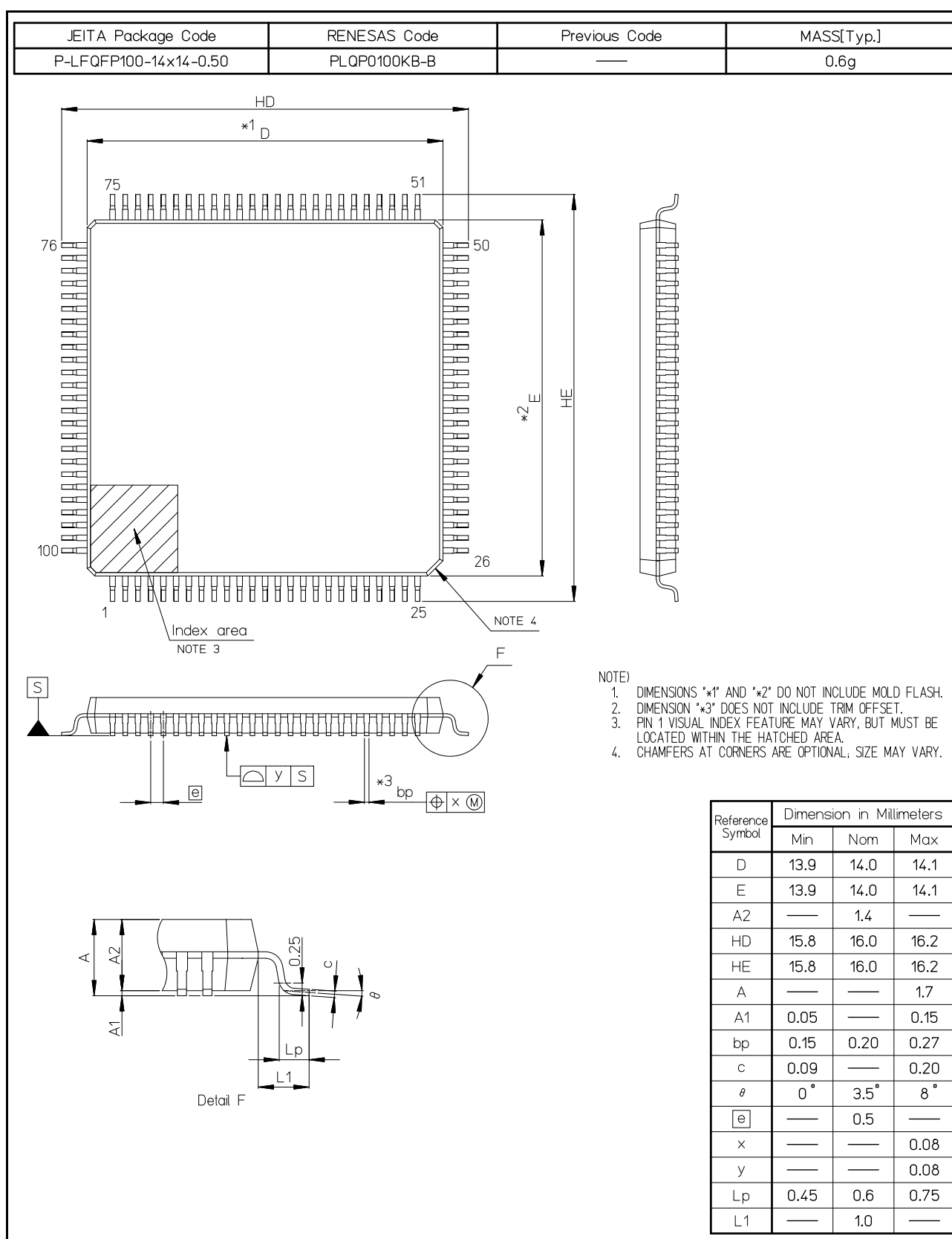


図 B. 100 ピン LFQFP (PLQP0100KB-B)

64-PIN PLASTIC FLGA (5x5)

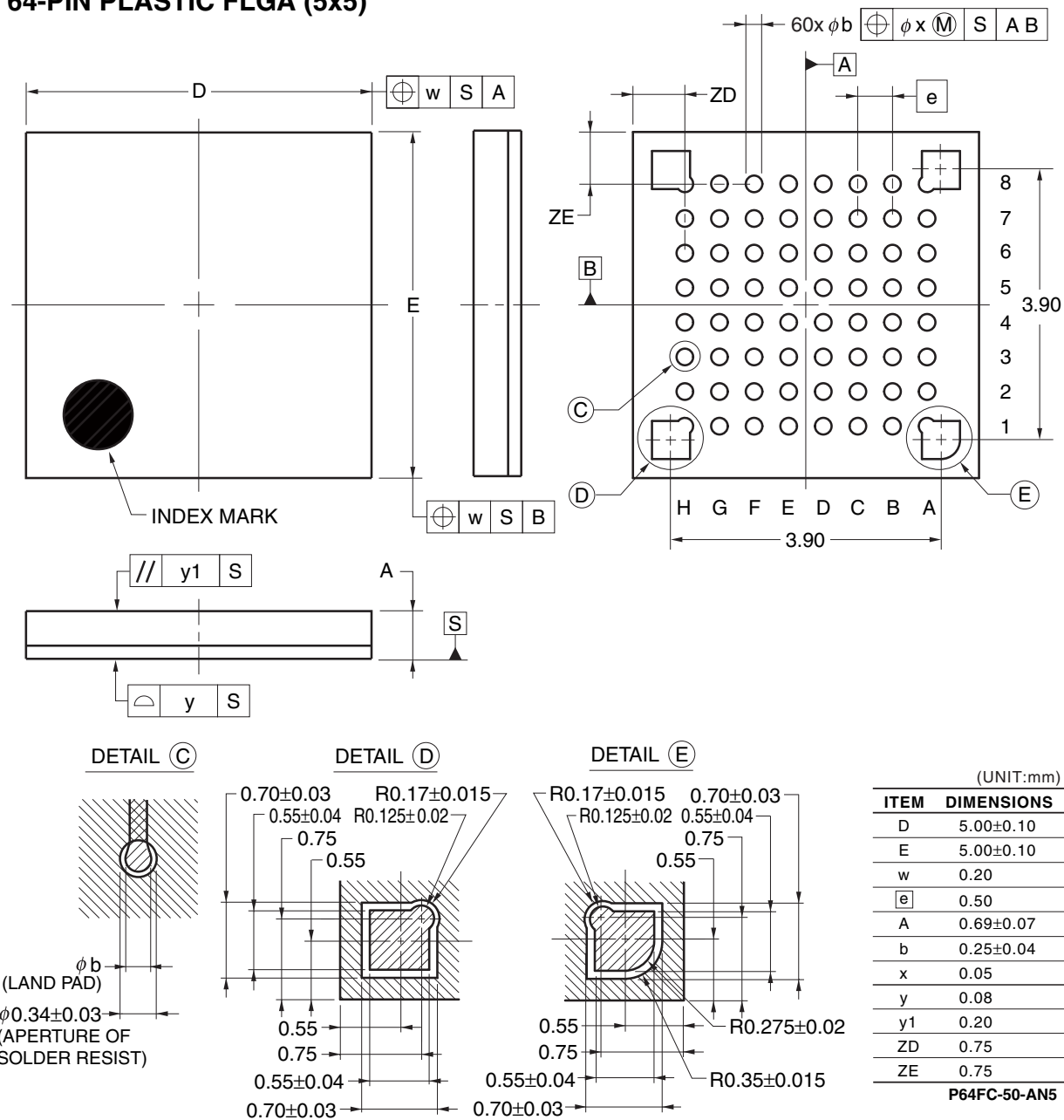
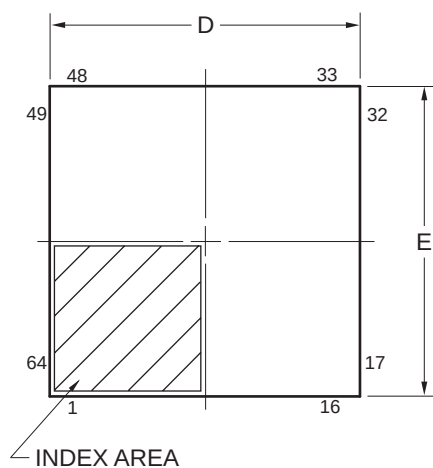
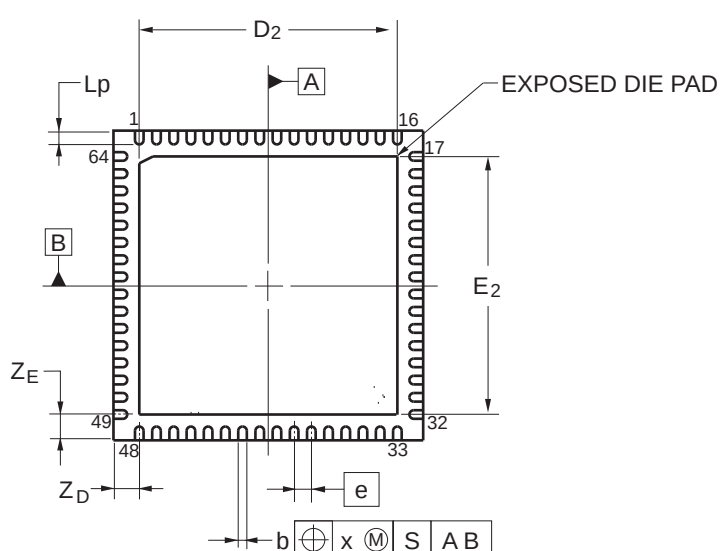
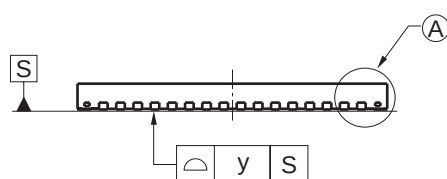
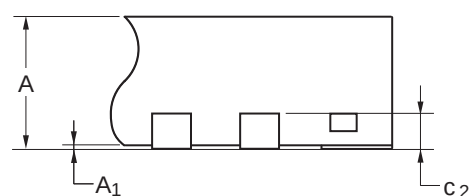


図 C. 64 ピン WFLGA (PWL0064KA-A)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN64-9x9-0.50	PWQN0064KC-A	P64K8-50-6B4-5	0.21



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	8.95	9.00	9.05
E	8.95	9.00	9.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	7.50	—
E ₂	—	7.50	—

図 D. 64 ピン HWQFN (PWQN0064KC-A)

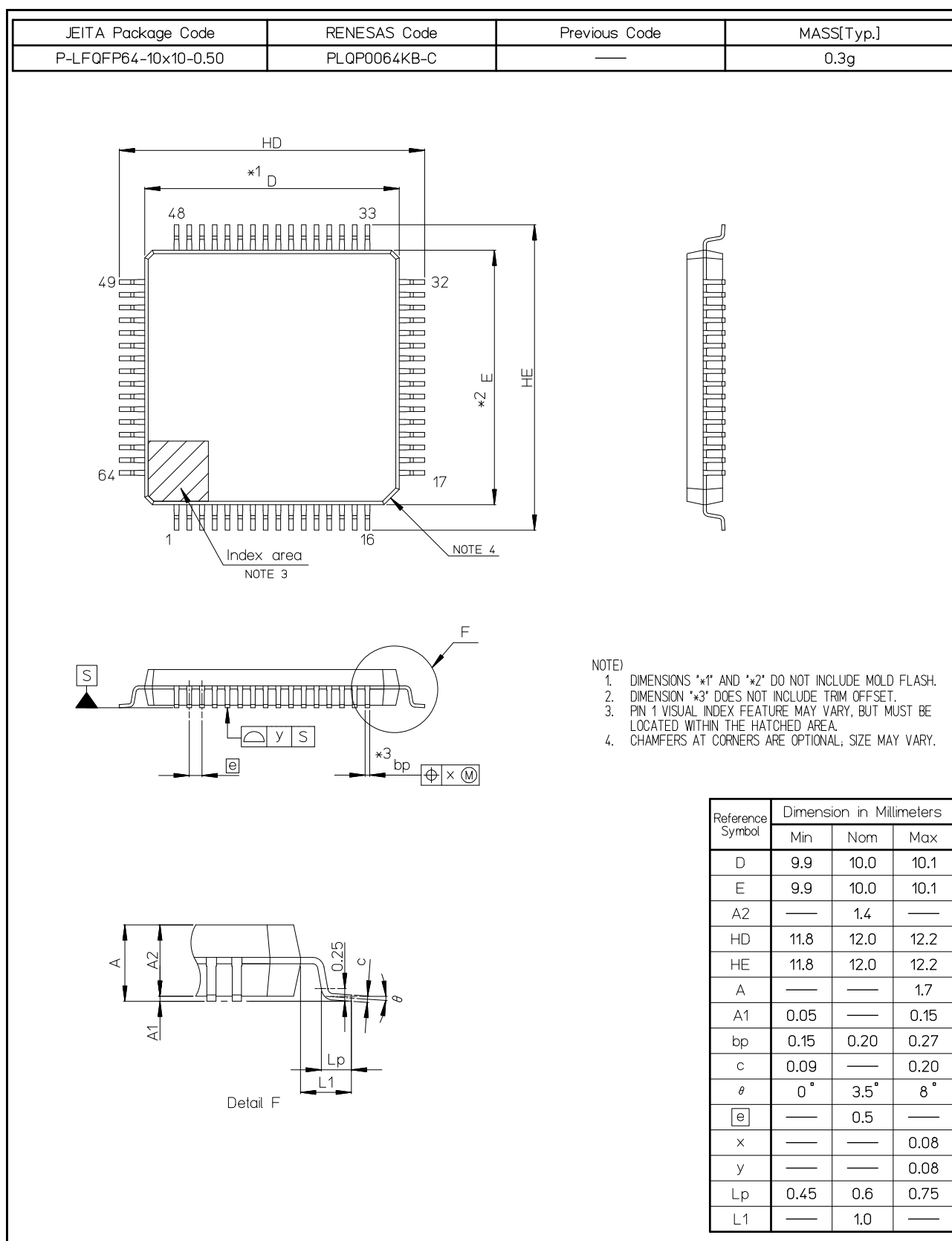


図 E. 64 ピン LFQFP (PLQP0064KB-C)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-7	0.13

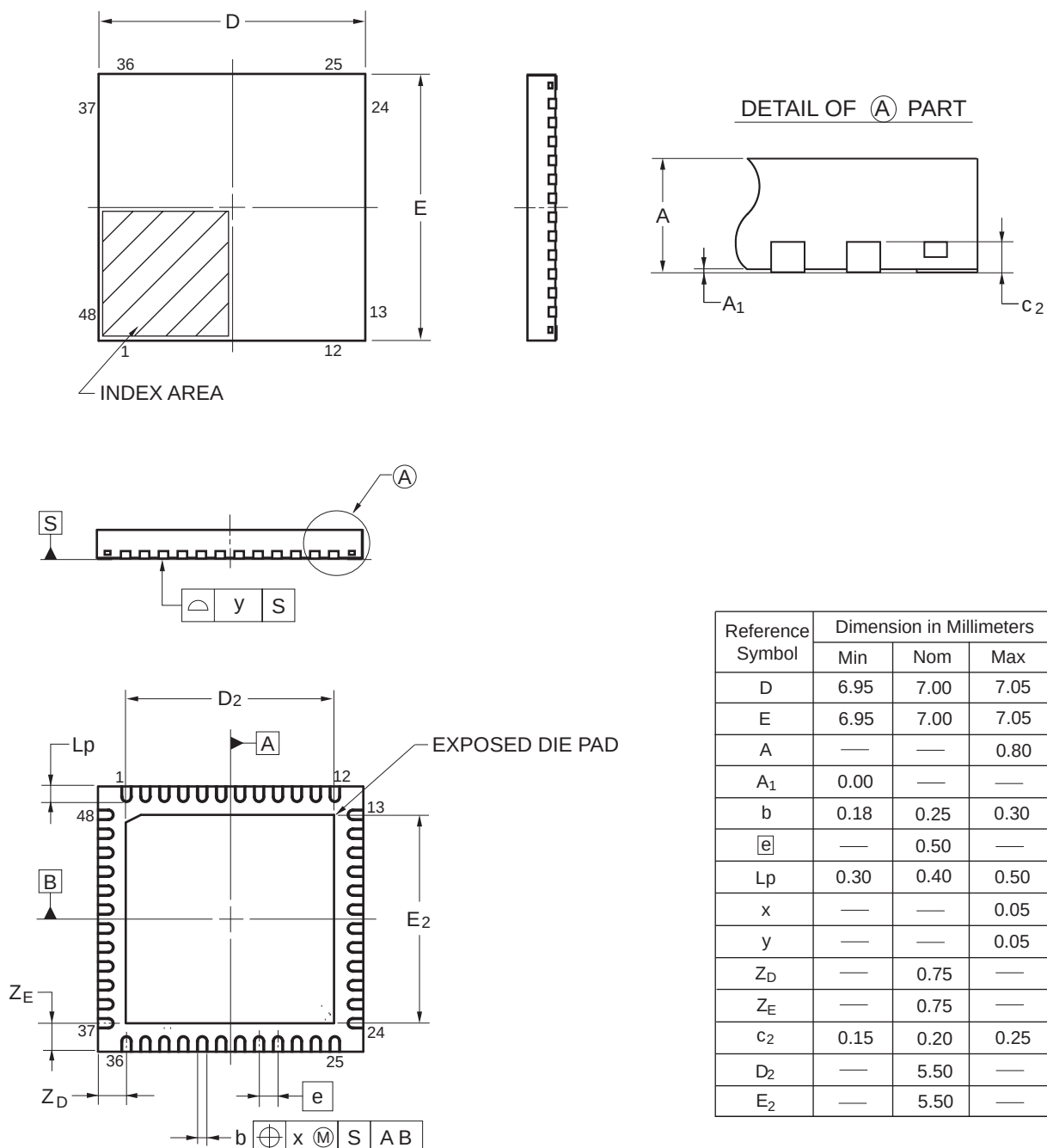


図 F. 48 ピン HWQFN (PWQN0048KB-A)

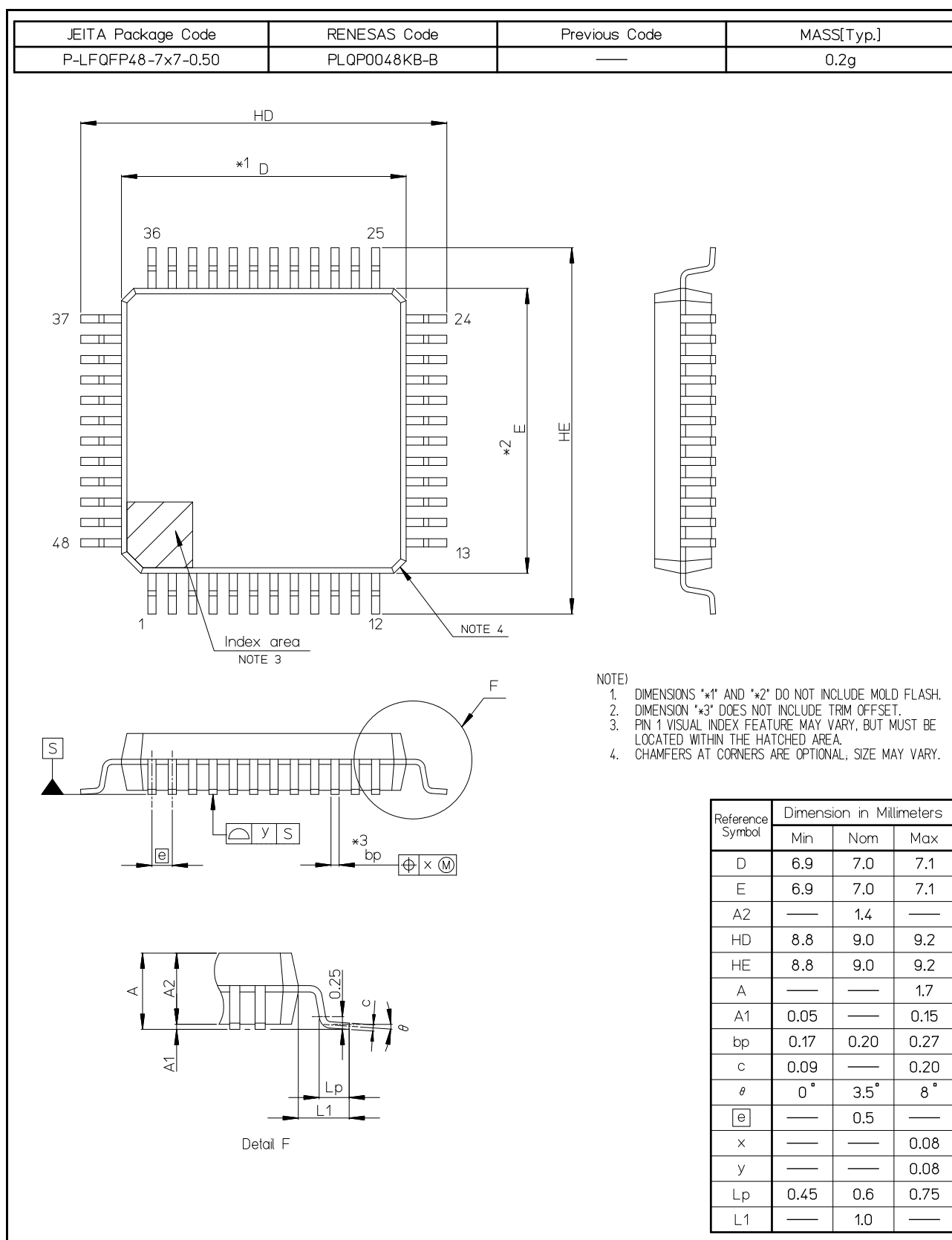


図 G. 48 ピン LFQFP (PLQP0048KB-B)

改訂記録	RX230 グループ、RX231 グループ データシート
------	------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.06.24	—	初版発行	
1.10	2015.10.30	1. 概要		
		3	表 1.1 仕様概要 (2 / 5) 変更	
		5	表 1.1 仕様概要 (4 / 5) 変更	
		6、7	表 1.2 パッケージ別機能比較一覧に RX230 グループ追加	
		3. アドレス空間		
		39	図 3.1 各動作モードのメモリマップ 変更	
		4. I/O レジスタ		
		66	表 4.1 I/O レジスタアドレス一覧 (24 / 41) 変更	TN-RX*-A139A/J
		83	表 4.1 I/O レジスタアドレス一覧 (41 / 41) 変更	
		5. 電気的特性		
		84	表 5.1 絶対最大定格 変更	TN-RX*-A137A/J
		85	表 5.2 推奨動作電圧条件 変更	
		86	表 5.3 DC 特性 (1) 変更	TN-RX*-A137A/J
		87	表 5.4 DC 特性 (2) 変更	
		87	表 5.5 DC 特性 (3) 変更	
		92	図 5.3 低速動作モードの電圧依存性 (参考データ) 変更	TN-RX*-A137A/J
		93	表 5.8 DC 特性 (6)	
		95	表 5.10 DC 特性 (8) の条件 変更	
		96	表 5.11 DC 特性 (9) 変更	TN-RX*-A137A/J
		98	表 5.16 出力許容電流値 (1) 変更	TN-RX*-A137A/J
		99	表 5.17 出力許容電流値 (2) 変更	
		100	表 5.18 出力電圧値 (1) 変更	
		100	表 5.19 出力電圧値 (2) 変更	TN-RX*-A137A/J
		100	表 5.20 出力電圧値 (3) 変更	TN-RX*-A137A/J
		104	図 5.13 高駆動出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25 °C (参考データ) 変更	TN-RX*-A137A/J
		107	図 5.18 RIIC 出力端子の VOL、IOL 電圧特性 Ta = 25 °C (参考データ)	TN-RX*-A137A/J
		109	表 5.21 動作周波数 (高速動作モード) の注 3. 変更	TN-RX*-A137A/J
		109	表 5.22 動作周波数 (中速動作モード) の注 3. 変更	TN-RX*-A137A/J
		111	表 5.26 クロックタイミング 変更	TN-RX*-A137A/J
		115	表 5.27 リセットタイミング 変更	
		118	表 5.32 動作モード遷移時間の条件変更	
		137	図 5.61 SSI 送受信タイミング (SSICP.SCKP=0) 変更	TN-RX*-A137A/J
		138	図 5.62 SSI 送受信タイミング (SSICP.SCKP=1) 変更	TN-RX*-A137A/J
		141	表 5.45 A/D 変換特性 (1) の条件およびアナログ入力電圧範囲 (max) 変更	
		142	表 5.46 A/D 変換特性 (2) の条件変更	
		142	表 5.47 A/D 変換特性 (3) の条件変更	
		143	表 5.48 A/D 変換特性 (4) の条件変更	
		143	表 5.49 A/D 変換特性 (5) の条件および絶対精度の測定条件変更	
		151	表 5.57 パワーオンリセット回路、電圧検出回路特性 (1) 変更	TN-RX*-A137A/J
		152	表 5.58 パワーオンリセット回路、電圧検出回路特性 (2) のヒステリシス幅の測定条件 変更	
		153	図 5.74 電圧検出回路タイミング (Vdet0) 変更	
		付録 1. 外形寸法図		
		165	図 B. 100 ピン LQFP (PLQP0100KB-B) 変更	TN-RX*-A137A/J
		168	図 E. 64 ピン LQFP (PLQP0064KB-C) 変更	TN-RX*-A137A/J
		170	図 G. 48 ピン LQFP (PLQP0048KB-B) 変更	TN-RX*-A137A/J
1.20	2018.09.28	特長		
		1	SD Host I/F (オプション : 1ch) SD メモリ/SDIO 1 or 4 ビット SD バスをサポート 注記削除	TN-RX*-A145A/J

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2018.09.28	1. 概要		
		6	表 1.2 パッケージ別機能比較一覧 (1/2) 変更 (64 ピンの IRQ2 を削除)	
		7	表 1.2 パッケージ別機能比較一覧 (2/2) 注 1 追加	TN-RX*-A145A/J
		8	表 1.3 製品一覧表 Dバージョン (Ta = -40 ~ 85°C) (1/2) 変更	TN-RX*-A145A/J
		10	表 1.4 製品一覧表 Gバージョン (Ta = -40 ~ 105°C) (1/2) 変更	TN-RX*-A145A/J
		11	図 1.1 型名とメモリサイズ・パッケージ 変更	TN-RX*-A145A/J
		16	表 1.5 端子機能一覧 (4/5) 変更 (VCC_USBの説明を変更)	TN-RX*-A201A/J
		25	表 1.6 機能別端子一覧 (100ピンTFLGA) (2/3) 変更 (UPSELをP35の欄に追加)	
		27	表 1.7 機能別端子一覧 (100ピンLFQFP) (1/3) 変更 (UPSELをP35の欄に追加)	
		31	表 1.8 機能別端子一覧 (64ピンWFLGA) (2/2) 変更 (UPSELをP35の欄に追加)	
		32	表 1.9 機能別端子一覧 (64ピンLFQFP/HWQFN) (1/2) 変更 (UPSELをP35の欄に追加)	
		34	表 1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (1/2) 変更 (UPSELをP35の欄に追加)	
		34	表 1.10 機能別端子一覧 (48ピンLFQFP/HWQFN) (1/2) 変更	TN-RX*-A145A/J
		5. 電気的特性		
		93	表 5.18 出力電圧値 (1) 変更	TN-RX*-A201A/J
		93	表 5.19 出力電圧値 (2) 変更	TN-RX*-A201A/J
		96	図 5.12 通常出力を選択したときのVOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ) 変更	TN-RX*-A201A/J
		125	表 5.44 内蔵周辺モジュールタイミング (7) 追加	TN-RX*-A197A/J
		132	図 5.64 SD ホストインタフェース入出力信号タイミング 追加	TN-RX*-A197A/J
		133	表 5.45 USB 特性 (USB0_DP、USB0_DM端子特性) 条件変更	

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>